

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-082812

(43)Date of publication of application : 21.03.2000

(51)Int.Cl.

H01L 29/78

H01L 21/336

(21)Application number : 11-165686

(71)Applicant : DENSO CORP

(22)Date of filing : 11.06.1999

(72)Inventor : YAMAMOTO TAKESHI
KOJIMA ATSUSHI
NAKAMURA HIROKI

(30)Priority

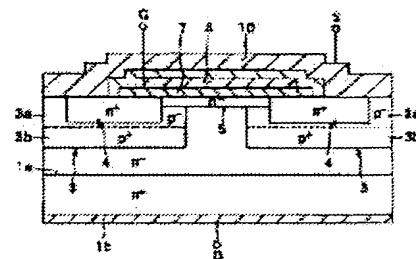
Priority number : 10175051 Priority date : 22.06.1998 Priority country : JP

(54) SILICON CARBIDE SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To make feasible of avoiding the fluctuation in the threshold value voltage also raising the surge resistance level as well as avoiding the defective punch through.

SOLUTION: The regions 3b in no contact with a surface channel layer 5 out of a base region 3 are formed of boron while forming the regions 3a in contact with the surface channel layer 5 of aluminum. That is, if the regions 3a in contact with the surface channel layer 5 are formed of aluminum in low diffusion coefficient, the fluctuation in threshold value voltage due to the diffusion of B can be avoided. On the other hand, if the regions 3b in no contact with the surface channel region layer 5 are formed of B in high activating factor and low activating energy, the surge resistance level can be raised. Furthermore, these regions 3b are formed of B in longer range, thereby making feasible of easily increasing the junction depth also avoiding the defective punchthrough.



* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]A predetermined region of a process of forming a semiconductor layer (2) of the 1st conductivity type that consists of high resistance silicon carbide rather than this semiconductor substrate on a main table side of a semiconductor substrate (1) of the 1st conductivity type characterized by comprising the following that consists of silicon carbide single crystals, and a layer part of said semiconductor layer.

A process of forming the 1st base area (3b) of a prescribed depth which contains the 1st dopant of the 2nd conductivity type in a position estranged from this layer part.

A process of forming in a predetermined region of a layer part of said semiconductor layer the 2nd base area (3a) containing the 2nd dopant whose diffusion coefficient is smaller than said 1st dopant of the 2nd conductivity type it laps with said 1st base area, and carries out a termination by a surface part of said semiconductor layer.

A process of forming a surface channel layer (5) of the 2nd conductivity type in the upper part of said 2nd base area.

Touch a predetermined region of a layer part of said 2nd base area at said surface channel layer, and. A process of forming the source region (4) of the 1st conductivity type shallower than the depth of said 1st base area, A process of forming a gate electrode (8) via gate dielectric film (7) on said surface channel layer, a process of forming a source electrode (10) in contact with said base area and said source region, and a process of forming a drain electrode (11) in the rear-face side of said semiconductor substrate.

[Claim 2]A manufacturing method of the silicon carbide semiconductor device according to claim 1 making a mask for forming a mask and said 2nd base area for forming said 1st base area serve a double purpose with the same mask.

[Claim 3]A predetermined region of a process of forming a semiconductor layer (2) of the 1st conductivity type that consists of high resistance silicon carbide rather than this semiconductor substrate on a main table side of a semiconductor substrate (1) of the 1st conductivity type characterized by comprising the following that consists of silicon carbide single crystals, and a layer part of said semiconductor layer.

A process of forming the 1st base area (3b) of a prescribed depth which contains the 1st dopant of the 2nd conductivity type in a position estranged from this layer part.

A process of forming a surface channel layer (5) of the 2nd conductivity type in the upper part of said semiconductor layer.

A process of forming in a predetermined region of a layer part of said semiconductor layer the 2nd base area (3a) of the 2nd conductivity type containing the 2nd dopant whose diffusion coefficient is smaller than said 1st dopant it laps with said 1st base area, and touches a surface channel layer.

A process of touching said surface channel layer and forming the source region (4) of the 1st conductivity type shallower than the depth of said 1st base area in a predetermined region of a layer part of said 2nd base area, A process of forming a gate electrode (8) via gate dielectric film (7) on said surface channel layer, a process of forming a source electrode (10) in contact with said base area and said source region, and a process of forming a drain electrode (11) in the rear-face side of said semiconductor substrate.

[Claim 4]In a process of having the following and forming said 1st base area. . It is characterized by arranging this 1st base area at the lower part of the source region, and arranging it at the lower part of said surface channel layer. A predetermined region of a process of forming a semiconductor layer (2) of the 1st conductivity type that consists of high resistance silicon carbide rather than this semiconductor substrate on a main table side of a semiconductor substrate (1) of the 1st conductivity type that consists of silicon carbide single crystals, and a layer part of said semiconductor layer.

A process of forming the 1st base area (3b) of a prescribed depth containing the 1st dopant of the 2nd conductivity type. A process of forming in a predetermined region of a layer part of said semiconductor layer the 2nd base area (3a) it laps with said 1st base area, and carries out a termination by a surface part of said semiconductor layer, and contains the 2nd dopant whose diffusion coefficient is smaller than said 1st dopant.

A process of forming a surface channel layer (5) of the 2nd conductivity type in the upper part of said semiconductor layer.

A process of touching said surface channel layer and forming the source region (4) of the 1st conductivity type shallower than the depth of said 1st base area in a predetermined region of a layer part of said 2nd base area, A process of forming a gate electrode (8) via gate dielectric film (7) on said surface channel layer, a process of forming a source electrode (10) in contact with said base area and said source region, and a process of forming a drain electrode (11) in the rear-face side of said semiconductor substrate.

[Claim 5]A process of forming the 1st semiconductor layer (2) of the 1st conductivity type that consists of high resistance silicon carbide rather than this semiconductor substrate on a main table side of a semiconductor substrate (1) of the 1st conductivity type that consists of silicon carbide single crystals, By penetrating said 2nd semiconductor layer from the process [of forming the 2nd semiconductor layer (40) of the 2nd conductivity type containing the 2nd dopant], and surface side of said semiconductor substrate, and forming a slot (42) arrived at at said 1st semiconductor layer on this semiconductor layer, By growing epitaxially the 3rd semiconductor layer (43) of the 1st conductivity type on a process of forming the 2nd base area (3a) in said 2nd semiconductor layer, and the 2nd [said] semiconductor layer including said Mizouchi, A process that said Mizouchi is filled up with this 3rd semiconductor layer, and a process of carrying out flattening of the unevenness in said 3rd semiconductor layer, A process of forming in a predetermined region of a layer part of said 2nd semiconductor layer the 1st base area (3b) of the 2nd conductivity type containing the 1st dopant with a bigger diffusion coefficient than the 2nd dopant that has a prescribed depth, To a predetermined region of a process of forming a surface channel layer (5) of the 2nd conductivity type in the upper part of said 2nd semiconductor layer, and a layer part of said 2nd base area. A process of touching said surface channel layer and forming the source region (4) of the 1st conductivity type shallower than the depth of said 1st base area, A process of forming a gate electrode (8) via gate dielectric film (7) on said surface channel layer, A manufacturing method of a silicon carbide semiconductor device provided with a process of forming a source electrode (10) in contact with said base area and said source region, and a process of forming a drain electrode (11) in the rear-face side of said semiconductor substrate.

[Claim 6]A process of forming the 1st semiconductor layer (2) of the 1st conductivity type that consists of high resistance silicon carbide rather than this semiconductor substrate on a main table side of a semiconductor substrate (1) of the 1st conductivity type that consists of silicon carbide single crystals, By carrying out an ion implantation to a process of forming the 2nd semiconductor layer (40) of the 2nd conductivity type containing the 2nd dopant on this semiconductor layer, from the surface of said semiconductor substrate in a predetermined region of said 2nd semiconductor layer. Form the 3rd semiconductor layer (2b) of the 1st conductivity type that penetrates said 2nd semiconductor layer and reaches said 1st semiconductor layer, and. A process of forming the 2nd base area (3a) in said 2nd semiconductor layer, A process of forming in a predetermined region of a layer part of said 2nd semiconductor layer the 1st base area (3b) of the 2nd conductivity type containing the 1st dopant with a bigger diffusion coefficient than the 2nd dopant that has a prescribed depth, A process of forming a surface channel layer (5) of the 2nd conductivity type in the upper part of said 2nd semiconductor layer, A process of touching said surface channel layer and forming the source region (4) of the 1st conductivity type shallower than the depth of said 1st base area in a predetermined region of a layer part of said 2nd base area, and a process of forming a gate electrode (8) via gate dielectric film (7) on said surface channel layer, A manufacturing method of a silicon carbide semiconductor device provided with a process of forming a source electrode (10) in contact with said base area and said source region, and a process of forming a drain electrode (11) in the rear-face side of said semiconductor substrate.

[Claim 7]A manufacturing method of the silicon carbide semiconductor device according to claim 5 or 6 with which this 1st base area is characterized by being arranged at the lower part of the source region and making it not arranged at the lower part of said surface channel layer in a process of forming said 1st base area.

[Claim 8]A manufacturing method of a semiconductor device of any one description of the Claims 4-7 making the depth of said 1st base area deeper than the depth of said 2nd base area.

[Claim 9]A manufacturing method of a silicon carbide semiconductor device of any one description of the Claims 4-8 estranging and forming said 1st base area from said surface channel layer.

[Claim 10]He is trying for said 1st base area and said surface channel layer to touch, A manufacturing method of a silicon carbide semiconductor device of any one description of the Claims 4-8 characterized by making it concentration of the 1st dopant contained in said surface channel layer become lower than concentration of the 1st conductivity-type impurity in a surface channel layer.

[Claim 11]A manufacturing method of a silicon carbide semiconductor device of any one description of the Claims 1-10 characterized by using aluminum (aluminum) as said 2nd dopant using B (boron) as said 1st dopant.

[Claim 12]A semiconductor substrate (1) of the 1st conductivity type that has a rear face which are a main table side, and this main table side and an opposite side, and consists of silicon carbide, A semiconductor layer (2) of the 1st conductivity type that is formed on a main table side of said semiconductor substrate, and consists of silicon carbide [high resistance / semiconductor substrate / said], Base area (3a, 3b) of the 2nd conductivity type that is formed in a predetermined region of a layer part of said semiconductor layer, and has a prescribed depth, It is formed in a predetermined region of a layer part of said base area, and The source region (4) of the 1st conductivity type shallower than the depth of this base area, A surface channel layer (5) of the 1st conductivity type that consists of silicon carbide formed so that a layer part and said semiconductor layer of said base area might be connected, Gate dielectric film (7) formed in the surface of said surface channel layer, and a gate electrode (8) formed on said gate dielectric film, Have a source electrode (10) formed so that said base area and said source region might be contacted, and a drain electrode (11) formed in a rear face of said semiconductor substrate, and said base area, It has the 1st base area (3b) containing the 1st dopant and the 2nd base area (3a) containing the 2nd dopant whose diffusion coefficient is smaller than said 1st dopant.

A silicon carbide semiconductor device, wherein said 1st base area is formed in a position estranged from said surface channel layer.

[Claim 13]A semiconductor substrate (1) of the 1st conductivity type that has a rear face which are a main table side, and this main table side and an opposite side, and consists of silicon carbide, A semiconductor layer (2) of the 1st conductivity type that is formed on a main table side of said semiconductor substrate, and consists of silicon carbide [

high resistance / semiconductor substrate / said], Base area (3a, 3b) of the 2nd conductivity type that is formed in a predetermined region of a layer part of said semiconductor layer, and has a prescribed depth, It is formed in a predetermined region of a layer part of said base area, and The source region (4) of the 1st conductivity type shallower than the depth of this base area, A surface channel layer (5) of the 1st conductivity type that consists of silicon carbide formed so that a layer part and said semiconductor layer of said base area might be connected, Gate dielectric film (7) formed in the surface of said surface channel layer, and a gate electrode (8) formed on said gate dielectric film, Have a source electrode (10) formed so that said base area and said source region might be contacted, and a drain electrode (11) formed in a rear face of said semiconductor substrate, and said base area, It has the 1st base area (3b) containing the 1st dopant and the 2nd base area (3b) containing the 2nd dopant whose diffusion coefficient is smaller than said 1st dopant.

A silicon carbide semiconductor device which forming said 1st base area in the lower part of said source region, and not forming in the lower part of said surface channel layer.

[Claim 14]The silicon carbide semiconductor device according to claim 13, wherein said 1st base area is formed in a position estranged from said surface channel layer.

[Claim 15]A silicon carbide semiconductor device of any one description of the Claims 12-14 with which said 1st base area is characterized by a junction depth being deep rather than said 2nd base area.

[Claim 16]A silicon carbide semiconductor device of any one description of the Claims 12-15, wherein said 1st dopant is B (boron) and said 2nd dopant is aluminum (aluminum).

[Translation done.]

* NOTICES *

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention]Especially this invention relates to an insulated gate field effect transistor and the vertical mold power metal-oxide semiconductor field effect transistor especially for big electric power about the manufacturing method of a silicon carbide semiconductor device.

[0002]

[Description of the Prior Art]These people have applied for what raised channel mobility and reduced on resistance by Tokuganhei9-259076 in planar type MOSFET.

[0003]The sectional view of this planar type MOSFET is shown in drawing 12, and the structure of planar type MOSFET is explained based on this figure.

[0004]The n^+ type semiconductor substrate 1 which consists of silicon carbide makes the upper surface the main table side 1a, and is using as the rear face 1b the undersurface which is an opposite side of a main table side. On the main table side 1a of this n^+ type semiconductor substrate 1, the n^- type epitaxial layer (henceforth an n^- type epilayer) 2 which consists of silicon carbide which has dopant concentration lower than the substrate 1 is laminated.

[0005]The p^- type base area 3 which has a prescribed depth is formed in the predetermined region in the layer part of the n^- type epilayer 2. This p^- type base area 3 is formed considering B (boron) and aluminum (aluminum) as a dopant. The n^+ type source region 4 shallower than this base area 3 is formed in the predetermined region of the layer part of the p^- type base area 3.

[0006] n^- type SiC layer 5 is installed in the surface part of the p^- type base area 3 so that the n^+ type source region 4 and the n^- type epilayer 2 may be connected. This n^- type SiC layer 5 is formed by epitaxial growth, and the crystal of an epitaxial film uses the thing of 4H, 6H, and 3C. This n^- type SiC layer 5 functions as a channel formation layer at the time of operation of a device. Hereafter, n^- type SiC layer 5 is called surface channel layer.

[0007]The surface channel layer 5 uses for a dopant, is formed, and N (nitrogen) the dopant concentration, For example, it is the low concentration about $1 \times 10^{15} \text{ cm}^{-3}$ - $1 \times 10^{17} \text{ cm}^{-3}$, and below the dopant concentration of the n^- type epilayer 2 and the p^- type base area 3 has become. Thereby, low-on-resistance-ization is attained.

[0008]The gate oxide 7 is formed in the upper surface of the surface channel layer 5, and the upper surface of the n^+ type source region 4 in thermal oxidation. The gate electrode 8 is formed on the gate oxide 7. The gate electrode 8 is covered with the insulator layer 9. The LTO (Low Temperature Oxide) film is used as the insulator layer 9. On it, the source electrode 10 was formed and the source electrode 10 is in contact with the n^+ type source region 4 and the p^- type base area 3. The drain electrode layer 11 is formed in the rear face 1b of the n^+ type semiconductor substrate 1.

[0009]Planar type MOSFET constituted in this way, Since it operates by the accumulation mode which induces a channel, without reversing the conductivity type of a channel formation layer, channel mobility can be enlarged compared with MOSFET of the reverse mode which reverses a conductivity type, and on resistance can be reduced.

[0010]Next, the manufacturing process of MOSFET shown in drawing 12 is explained based on drawing 13 - drawing 15.

[0011][The process shown in drawing 13 (a)] First, the n type 4H or 6H or 3C-SiC substrate 1, i.e., an n^+ type semiconductor substrate, is prepared. Here, the thickness is 400 micrometers and the main table side 1a of the n^+ type semiconductor substrate 1 is a Si face (0001) or an a (112-0) side. The 5-micrometer-thick n^- type epilayer 2 is grown epitaxially to the main table side 1a of this substrate 1. In this example, the same crystal as the substrate 1 of a ground is obtained, and the n^- type epilayer 2 turns into the n type 4H or 6H or 3C-SiC layer.

[0012][The process shown in drawing 13 (b)] LTO film 120 is arranged to the predetermined region on the n^- type

epilayer 2, the ion implantation of the B⁺ (or aluminum) is carried out to it by making this into a mask, and the p⁻ type base area 3 is formed in it. Temperature is 700 ** and the dose makes the ion-implantation conditions at this time

$1 \times 10^{16} \text{ cm}^{-2}$.

[0013][The process shown in drawing 13 (c)] After removing LTO film 120, the surface channel layer 5 is grown epitaxially by a chemical-vapor-deposition method (Chemical Vapor Deposition: CVD method) on the n⁻ type epilayer 2 including the p⁻ type base area 3.

[0014][The process shown in drawing 14 (a)] LTO film 121 is arranged to the predetermined region on the surface channel layer 5, the ion implantation of the n type impurities, such as N (nitrogen), is carried out to it by making this into a mask, and the n⁺ type source region 4 is formed in it. The ion-implantation conditions at this time shall be 700 **, and the dose is made into $1 \times 10^{15} \text{ cm}^{-2}$.

[0015][The process shown in drawing 14 (b)] And after removing LTO film 121, LTO film 122 is arranged to the predetermined region on the surface channel layer 5 using the photoresist method, and etching removal of the surface channel layer 5 on the p⁻ type base area 3 is selectively carried out by RIE by making this into a mask.

[0016][The process shown in drawing 15 (a)] After removing LTO film 122, the gate oxide 7 is formed by wet oxidation (the pyrogenic method by H₂+O₂ is included) on a substrate. At this time, ambient temperature may be 1080 **.

[0017]Then, the gate electrode 8 which consists of polysilicon is deposited by LPCVD on the gate dielectric film 7. The forming temperature at this time shall be 600 **.

[0018][The process shown in drawing 15 (b)] Then, the insulator layer 9 which consists of LTO after removing the garbage of the gate dielectric film 7 is formed, and it is a wrap about the gate dielectric film 7. In more detail, forming temperature is 425 ** and performs 1000 ** annealing after membrane formation.

[0019][The process shown in drawing 15 (c)] And the source electrode 10 and the drain electrode 11 are arranged by metal sputtering in a room temperature. 1000 ** annealing is performed after membrane formation.

[0020]Thus, the vertical mold power metal-oxide semiconductor field effect transistor shown in drawing 12 is completed.

[0021]

[Problem(s) to be Solved by the Invention]Using B and aluminum is shown as a dopant for forming the p⁻ type base area 3 by the above-mentioned earlier application.

[0022]However, as it is expressed with the heat treatment temperature of B and the relation of a profile which are shown in drawing 16, when B is used as a dopant, Since it is easy to diffuse B, B is spread into the surface channel layer 5 at the time of heat treatment at the time of heat treatment in the case of activation annealing performed after doping, and growth of the surface channel layer 5, the impurity concentration of the surface channel layer 5 becomes high, and the problem of making threshold voltage high is generated.

[0023]Since activation energy of B is large compared with aluminum and the activation rate is low, the pinch resistor of the portion pinched in the source region 4 and the n⁻ type epilayer 2 becomes high, and generates the problem that surge destruction breaks out easily.

[0024]On the other hand, since the range of an ion implantation became short compared with B that the

above-mentioned problem should be solved when aluminum is used as a dopant, p⁻ type base area 3 could seldom be made deep to the n⁺ type source region 4, but there was a problem that a punch through broke out easily.

[0025]This invention is accomplished in light of the above-mentioned problems, and it sets it as the 1st purpose to provide a silicon carbide semiconductor device which can prevent change of threshold voltage, and a manufacturing method for the same.

[0026]It sets it as the 2nd purpose to provide a silicon carbide semiconductor device with a high surge tolerated dose, and a manufacturing method for the same.

[0027]It sets it as the 3rd purpose to provide a silicon carbide semiconductor device which can prevent generating of a punch through, and a manufacturing method for the same.

[0028]

[Means for Solving the Problem]In order to attain the above-mentioned purpose, the following technical means are adopted.

[0029]This invention is characterized by that a predetermined region of a layer part of a semiconductor layer comprises the following in the invention according to claim 1.

A process of forming the 1st base area (3b) of a prescribed depth which contains the 1st dopant of the 2nd conductivity type in a position estranged from the surface of this semiconductor layer.

A process of forming in a predetermined region of a layer part of a semiconductor layer the 2nd base area (3a) containing the 2nd dopant whose diffusion coefficient is smaller than the 1st dopant of the 2nd conductivity type it laps with the 1st base area, and carries out a termination by a surface part of a semiconductor layer.

[0030]Thus, if it forms with the 2nd dopant with a small diffusion coefficient with the 2nd base area that carries out a termination by a surface part of a semiconductor layer and the 1st base area is formed in a position estranged from the surface of a semiconductor layer with the 1st dopant, Since diffusion to a surface channel layer of the 1st dopant with a

high diffusion coefficient can be controlled, change of threshold voltage can be prevented.

[0031]In the invention according to claim 2, it is characterized by making a mask for forming a mask and the 2nd base area for forming the 1st base area serve a double purpose with the same mask.

[0032]Thus, the necessity of carrying out a resisting pressure design which expected a mask gap by making a mask for forming a mask and the 2nd base area for forming the 1st base area serve a double purpose can be abolished, and simplification of a manufacturing process can be attained.

[0033][after forming a surface channel layer (5) in the invention according to claim 3], It is characterized by forming in a predetermined region of a layer part of a semiconductor layer the 2nd base area (3a) of the 2nd conductivity type containing the 2nd dopant whose diffusion coefficient is smaller than the 1st dopant it laps with the 1st base area, and touches a surface channel layer.

[0034]Thus, after forming a surface channel layer, the 2nd base area may be formed.

[0035]The 1st base area (3b) that contains the 1st dopant in the invention according to claim 4, It is characterized by forming the 2nd base area (3a) containing the 2nd dopant, arranging the 1st base area at the lower part of the source region (4), and making it not arranged at the lower part of a surface channel layer (5).

[0036]Thus, if the 2nd base area that contains the 2nd dopant in the lower part of a surface channel layer is made not to be formed, diffusion of the 2nd dopant to a surface channel layer can be prevented. If the 1st base area and 2nd base area are formed in the lower part of the source region, a pinch resistor between the source region and a semiconductor layer (2) can be made small, and a serge tolerated dose can be raised.

[0037]A process of forming the 2nd semiconductor layer (41) of the 2nd conductivity type that contains the 2nd dopant on a semiconductor layer (2) in the invention according to claim 5, By forming a slot (42) which penetrates the 2nd semiconductor layer from the surface side of a semiconductor substrate, and reaches the 1st semiconductor layer, By growing epitaxially the 3rd semiconductor layer (43) of the 1st conductivity type on a process of forming the 2nd base area (3a) in the 2nd semiconductor layer, and the 2nd semiconductor layer including Mizouchi, A process that Mizouchi is filled up with this 3rd semiconductor layer, and a process of carrying out flattening of the unevenness in the 3rd semiconductor layer, It is characterized by having a process of forming in a predetermined region of a layer part of the 1st semiconductor layer the 1st base area (3b) of the 2nd conductivity type containing the 1st dopant with a bigger diffusion coefficient than the 2nd dopant that has a prescribed depth.

[0038]Thus, since the 1st base area can be formed without being based on an ion implantation if the 2nd base area is formed by forming a slot in this 2nd semiconductor layer after forming the 2nd semiconductor layer of the 2nd conductivity type, Even if range of the 2nd dopant is short, a substantial junction depth of the 2nd base area can be made deep. Thereby, a punch through can be prevented. By forming the 1st base area with the 1st dopant with a big diffusion coefficient, formation in a base contact subordinate part is attained in the 1st deep base area, and it can do with structure of being hard to operate a parasitic transistor, by making breakdown start at this pars basilaris ossis occipitalis. Therefore, a serge tolerated dose can be raised.

[0039]By what is done to a predetermined region of the 2nd semiconductor layer for an ion implantation from the surface of a semiconductor substrate as shown in Claim 6. The 3rd semiconductor layer (2b) of the 1st conductivity type that penetrates the 2nd semiconductor layer and reaches the 1st semiconductor layer is formed, and it may be made to form the 2nd base area (3a) in the 2nd semiconductor layer.

[0040]Thus, by forming the 3rd semiconductor layer by an ion implantation, a groove formation process shown in Claim 5, a slot embedding process, and a process of carrying out flattening of the unevenness of a semiconductor surface can be abolished, and a manufacturing process can be simplified. The characteristic equivalent to a device formed also in this case with a manufacturing method shown in Claim 5 is expectable.

[0041]If the 1st base area that contains the 1st dopant in the lower part of a surface channel layer is made not to be formed as shown in Claim 7, diffusion of the 1st dopant to a surface channel layer can be prevented.

[0042]In the invention according to claim 8, it is characterized by making the depth of the 1st base area deeper than the depth of the 2nd base area.

[0043]Thus, generating of a punch through can be prevented by making it the 1st base area containing the 1st dopant with a big diffusion coefficient become deeper than the 2nd base area. An avalanche breakdown can be made easy to carry out in this portion, since it can do deeply selectively in a position by which the 2nd base area was formed in the case of Claim 4 or Claim 6.

[0044]It is characterized by estranging and forming the 1st base area from a surface channel layer in the invention according to claim 9.

[0045]Thus, if the 1st base area is made to estrange from a surface channel layer and is formed, diffusion of the 1st dopant to a surface channel layer can be prevented more.

[0046]In the invention according to claim 10, concentration of the 1st dopant he is trying for the 1st base area and surface channel layer to touch, and is contained in a surface channel layer is characterized by making it become lower than concentration of the 1st conductivity-type impurity in a surface channel layer.

[0047]If it is made for concentration of the 1st dopant contained in a surface channel layer to become lower than concentration of the 1st conductivity-type impurity in a surface channel layer when the 1st base area and surface channel layer touch, a conductivity type of a surface channel layer can be prevented from being reversed.

[0048]As shown in Claim 11, specifically, aluminum (aluminum) can be used as the 2nd dopant, using B (boron) as the 1st dopant.

[0049]In the invention according to claim 12, base area, It has the 1st base area (3b) containing the 1st dopant and the 2nd base area (3a) containing the 2nd dopant whose diffusion coefficient is smaller than the 1st dopant, and is characterized by being formed in a position which the 1st base area estranged from a surface channel layer.

[0050] Thus, it can be considered as a silicon carbide semiconductor device without change of threshold voltage by diffusion of the 1st dopant by forming the 1st base area in a position estranged from a surface channel layer.

[0051] In the invention according to claim 13, base area, It has the 1st base area containing the 1st dopant and the 2nd base area containing the 2nd dopant whose diffusion coefficient is smaller than the 1st dopant, It is characterized by forming the 1st base area in the lower part of the source region, and not being formed in the lower part of a surface channel layer.

[0052] Thus, by forming the 1st base area in the lower part of the source region, a surge tolerated dose can be made high and change of threshold voltage by diffusion of the 1st dopant can be lost by not being formed in the lower part of a surface channel layer.

[0053] if the 1st base area is formed in a position estranged from a surface channel layer as shown in Claim 14, lose change of threshold voltage more — **.

[0054] In the invention according to claim 15, the 1st base area is characterized by a junction depth being deep rather than the 2nd base area.

[0055] Thus, generating of a punch through can be controlled by making the 2nd base area deep.

[0056] As shown in Claim 16, the 1st dopant is B (boron) and, specifically, the 2nd dopant can consist of aluminum (aluminum).

[0057]

[Embodiment of the Invention] Hereafter, the embodiment which shows this invention in a figure is described.

[0058] (A 1st embodiment) The sectional view of no MARIOFU type n channel type planar type MOSFET (vertical mold power metal-oxide semiconductor field effect transistor) in this embodiment is shown in drawing 1. When this device is applied to the rectifier of an inverter or the AC dynamo for vehicles, it is preferred.

[0059] Based on drawing 1, the structure of vertical mold power metal-oxide semiconductor field effect transistor is explained. However, since the vertical mold power metal-oxide semiconductor field effect transistor in this embodiment has the almost same structure as MOSFET shown in drawing 11 mentioned above, it explains only a different portion. The same numerals are attached about the same portion as MOSFET shown in drawing 11 among the vertical mold power metal-oxide semiconductor field effect transistor in this embodiment.

[0060] In MOSFET shown in drawing 11, although the p type base region 3 was formed using one kind of dopant, at this embodiment, it forms using two kinds of dopants.

[0061] The p type base region 3 comprises the p type field 3a in which aluminum as the 1st dopant was doped and formed, and the p type field 3b in which B as a dopant was doped and formed. The field 3a is in contact with the surface channel layer 5, and the junction depth is shallow. The field 3b is estranged and formed from the surface channel layer 5, and the junction depth is deep.

[0062] That is, form the field 3a where a junction depth is shallow among the p type base regions 3 with aluminum with a small diffusion coefficient, and enable it to control the diffusion to the surface channel layer 5 of B, and. The field 3b where a junction depth is deep is formed by B, range is lengthened, and it becomes possible to form B in the lower part of the source region 4 with small aluminum of activation energy.

[0063] Thereby, change of the threshold voltage by diffusion of B to the surface channel layer 5, punch-through generating by a junction depth becoming shallow, and prevention of surge destruction are achieved.

[0064] The junction depth of the p type base region 3 is equivalent to MOSFET shown in drawing 11.

[0065] Next, the manufacturing process of the vertical mold power metal-oxide semiconductor field effect transistor shown in drawing 1 is explained based on drawing 2 (a) – (d). However, about the same process as the above-mentioned earlier application (Tokuganhei9-259076), explanation is omitted with reference to drawing 12 – drawing 14. Drawing 2 corresponds to the left half of the sectional view of the vertical mold power metal-oxide semiconductor field effect transistor shown in drawing 1.

[0066] First, as shown in drawing 12 (a), after forming the n type epilayer 2 on the semiconductor substrate 1, the p type base region 3 is formed.

[0067] [The process shown in drawing 2 (a)] First, LTO film 21 is formed to the predetermined region on the n type epilayer 2 using the photoresist method, and the ion implantation of the B is carried out by making this into a mask. At this time, the pouring depth of B by heat treatment at the time of growing up heat treatment (activation annealing of impurities, such as B, aluminum, and N) and the surface channel layer 5 which are given by a post process. the grade which B does not diffuse in the surface channel layer 5 — or even if spread, it controls so that the diffusing capacity to

the surface channel layer 5 becomes below $1 \times 10^{-15} \text{ cm}^{-3}$. Accelerating voltage is set to 400keV and 350keV, and, specifically, the dose is made into the $1 \times 10^{-14} \text{ cm}^{-2}$ grade.

[0068] Then, B is activated by heat treatment. The field 3b where B was poured into the position which this estranged from the surface channel layer 5 formed by the inside [surface / of the n type epilayer 2], i.e., a post process, is formed.

[0069] Thus, since the portion with a junction depth deep among the p type base regions 3 is formed by long B of range, compared with the case where it forms with aluminum, a junction depth can be easily made deep. Since the portion with a junction depth deep among the p type base regions 3 is formed by B, compared with the case where it forms with aluminum, activation energy can be made small, and an activation rate can be made high. For this reason, the pinch

resistor between the n^+ type source region 4 and the n^- type epilayer 2 can be made low.

[0070][The process shown in drawing 2 (b)] Next, the ion implantation of the aluminum is carried out by using LTO film 21 as a mask once again. At this time, aluminum is made to be poured in from the topmost part of the pouring layer of B

poured in previously to the outermost surface of the n^- type epilayer 2. Accelerating voltage is set to 400keV, 250keV, 150keV, and 30keV, and, specifically, the dose is made into $1 \times 10^{14} \text{ cm}^{-2}$.

[0071]Then, it heat-treats and aluminum is activated. Thereby, aluminum is poured into the position which touches the surface channel layer 5 formed by a post process, and the field 3a is formed so that a termination may be carried out on

the surface of the n^- type epilayer 2 that is,.

[0072]Thus, the field 3b where B was doped can be prevented from touching the surface channel layer 5 directly by forming a portion with a junction depth shallow among the p type base regions 3 with aluminum with a small diffusion coefficient. For this reason, diffusion of B to the surface channel layer 5 at the time of activation annealing can be controlled.

[0073]Thus, in the process shown in drawing 2 (a) and (b), form a portion with a junction depth shallow among the p type base regions 3 with aluminum with a small diffusion coefficient, and, diffusion of B to the surface channel layer 5 being controlled since it forms by B with a large diffusion coefficient that it is easy to carry out until pouring of the portion with a deep junction depth deeply, and. It becomes possible to form small aluminum of activation energy, and B both in the

lower part of the n^+ type source region 4 which can make a junction depth easy to make deep and is mentioned later, and an activation rate can be made high compared with the case of only B.

[0074]Therefore, can prevent change of the threshold voltage by diffusion of B to the surface channel layer 5, and.

Generating of the punch through by a junction depth becoming shallow can be prevented, the pinch resistor between the n^+ type source region 4 and the n^- type epilayer 2 can be further made small, and a serge tolerated dose can be made high.

[0075]The necessity of carrying out the resisting pressure design which expected the mask gap by using same LTO film 21 as the mask for ion implantations of aluminum and a mask for ion implantations of B can be abolished, and simplification of a manufacturing process can be attained.

[0076][The process shown in drawing 2 (c)] After removing LTO film 21, on the n^- type epilayer 2 including the surface of aluminum pouring layer, impurity concentration grows epitaxially below to $1 \times 10^{16} \text{ cm}^{-3}$, and thickness grows epitaxially the surface channel layer 5 of 0.3 micrometer or less.

[0077]In order to use vertical mold power metal-oxide semiconductor field effect transistor as a no MARIOFU type at this time, He is trying to become smaller than the sum of the stretch amount of the depletion layer which spreads the thickness (thickness) of the surface channel layer 5 in the surface channel layer 5 from the p type base region 3 when not impressing voltage to the gate electrode 8, and the stretch amount of the depletion layer which spreads in the surface channel layer 5 from the gate oxide 7.

[0078]The stretch amount of the depletion layer which spreads in the surface channel layer 5 from the p type base region 3 specifically, The stretch amount of the depletion layer which is determined by the built-in voltage of the PN junction of the surface channel layer 5 and the p type base region 3, and spreads in the surface channel layer 5 from the gate oxide 7, Since it is determined by the electric charge of the gate oxide 7, and the work function difference of the gate electrode 8 (metal) and the surface channel layer 5 (semiconductor), the thickness of the surface channel layer 5 has been determined based on these.

[0079]Since current can be prevented from flowing even if it will be in the state where voltage cannot be impressed to a gate electrode by failure etc., such no MARIOFU type vertical mold power metal-oxide semiconductor field effect transistor can secure safety compared with the thing of a normally on type.

[0080]As shown in drawing 1, the p type base region 3 touches the source electrode 10, and has become a ground state. For this reason, the pinch-off of the surface channel layer 5 can be carried out using the built-in voltage of the PN junction of the surface channel layer 5 and the p type base region 3. For example, when the p type base region 3 is not grounded and it has become floating. Since it cannot say that a depletion layer is extended from the p type base region 3 using built-in voltage, it can be said that it is a structure effective in carrying out the pinch-off of the surface channel layer 5 to contact the p type base region 3 to the source electrode 10.

[0081]Built-in voltage can be more greatly used by making high impurity concentration of the p type base region 3.

[0082]Although vertical mold power metal-oxide semiconductor field effect transistor is manufactured with silicon carbide in this embodiment, Since control of the diffusing capacity of the thermal diffusion at the time of forming the impurity layer of the p type base region 3 or surface channel layer 5 grade is difficult if it is going to manufacture this using silicon, it becomes difficult to manufacture the same no MARIOFU type MOSFET as the above-mentioned composition. For this reason, compared with the case where silicon is used, vertical mold power metal-oxide semiconductor field effect transistor can be manufactured with sufficient accuracy by using SiC like this embodiment.

[0083]In order to use no MARIOFU type vertical mold power metal-oxide semiconductor field effect transistor, it is necessary to set up the thickness of the surface channel layer 5 fulfill the above-mentioned conditions but, and. Since built-in voltage is low when silicon is used, if thickness of the surface channel layer 5 must be made thin, or impurity concentration must be made thin, it must form it and control of the diffusing capacity of impurity ion takes a difficult thing into consideration, it can be said that manufacture is dramatically difficult. However, since it is as high as about 3 times of

silicon, and thickness of the surface channel layer 5 can be thickened, or built-in voltage makes impurity concentration deep and can form it when SiC is used, it can be said that it is easy to manufacture no MARIOfU type accumulated type MOSFET.

[0084]And succeedingly, LTO film 21 is arranged to the predetermined region on the surface channel layer 5 using the photoresist method, the ion implantation of the n type impurities, such as N (nitrogen), is carried out by making this into a mask, and the n⁺ type source region 4 is formed. The ion-implantation conditions at this time shall be 700 **, and the

dose is made into $1 \times 10^{15} \text{ cm}^{-2}$.

[0085][The process shown in drawing 2 (d)] And after removing LTO film 21, LTO film 22 is arranged to the predetermined region on the surface channel layer 5 using the photoresist method, the ion implantation of the p type impurity is carried out by making this into a mask, and a p-type semiconductor is made to reverse selectively the surface channel layer 5 on the p type base region 3. Thereby, the electrical link of the source electrode 10 and the p type base region 3 which are formed by a post process becomes possible.

[0086]Then, the vertical mold power metal-oxide semiconductor field effect transistor shown in drawing 1 is completed by giving the process shown in drawing 14 like an earlier application, forming the gate electrode 8 via the gate oxide 7, and carrying out the source electrode 10 and the drain electrode 11 further.

[0087]Next, an operation (operation) of this vertical mold power metal-oxide semiconductor field effect transistor is explained.

[0088]When this MOSFET operates by no MARIOfU type accumulation mode and it does not impress voltage to the gate electrode 8, A career is formed into all-over-the-districts depletion in the surface channel layer 5 by the potential produced according to the difference of the electrostatic potential between the p type base region 3 and the surface channel layer 5, and the difference of the work function between the surface channel layer 5 and the gate electrode 8. And the difference of the work function between the surface channel layer 5 and the gate electrode 8 and the potential difference produced by the sum of the impressed electromotive force from the outside are changed by impressing voltage to the gate electrode 8. The state of a channel is controllable by this.

[0089]That is, when the work function of the gate electrode 8 is made into the 1st work function, the work function of the p type base region 3 is made into the 2nd work function and the work function of the surface channel layer 5 is made into the 3rd work function. Using the difference of the 1st - the 3rd work function, the impurity concentration and thickness of the 1st - the 3rd work function and surface channel layer 5 can be set up so that the n type career of the surface channel layer 5 may be depletion-ized.

[0090]In an OFF state, a depletion region is formed in the surface channel layer 5 of the electric field made with the p type base region 3 and the gate electrode 8. If positive bias is supplied from this state to the gate electrode 8, the

channel regions which extend from the n⁺ type source region 4 to an n⁻ type drift region 2-way in the interface between the gate dielectric film (SiO₂) 7 and the surface channel layer 5 will be formed, and it will be switched to an ON state. At

this time, an electron flows into the n⁻ type epilayer 2 from the surface channel layer 5 via the surface channel layer 5 from the n⁺ type source region 4. And if the n⁻ type epilayer 2 (drift region) is arrived at, an electron will flow into the n⁺ type semiconductor substrate 1 (n⁺ drain) vertically.

[0091]Thus, by impressing positive voltage to the gate electrode 8, the surface channel layer 5 is made to induce an accumulated type channel, and a career flows between the source electrode 10 and the drain electrode 11.

[0092](A 2nd embodiment) In a 1st embodiment, after a junction depth forms the field 3a used as a shallow portion among the p type base regions 3, the surface channel layer 5 is formed, but by this embodiment, after forming the surface channel layer 5, the case where the field 3a is formed is shown. Drawing 3 (a) The manufacturing process in this embodiment is explained based on - (d). This figure shows the portion replaced with the manufacturing process shown in drawing 2 in a 1st embodiment.

[0093][The process shown in drawing 3 (a)] First, the process shown in drawing 2 (a) and the same process are performed, and the field 3b where B was injected into the portion with a deep junction depth among the p type base regions 3 in the ion implantation which used LTO film 21 as the mask is formed.

[0094][The process shown in drawing 3 (b)] Next, after removing LTO film 21, on the n⁻ type epilayer 2, impurity concentration grows epitaxially below to $1 \times 10^{16} \text{ cm}^{-3}$, and thickness grows epitaxially the surface channel layer 5 of 0.3 micrometer or less.

[0095]Then, LTO film 24 is arranged to the predetermined region on the surface channel layer 5 using the photoresist method, the ion implantation of the n type impurities, such as N (nitrogen), is carried out by making this into a mask, and the n⁺ type source region 4 is formed. The ion-implantation conditions at this time suppose that it is the same as that of a 1st embodiment.

[0096][The process shown in drawing 3 (c)] Then, after arranging LTO film 25 to the predetermined region on the surface channel layer 5 using the photoresist method, the ion implantation of the aluminum is carried out by making this into a mask, and the field 3a is formed. Thereby, a portion with a shallow junction depth is formed among the p type base regions 3. The ion-implantation conditions of this ** suppose that it is the same as that of a 1st embodiment.

[0097][The process shown in drawing 3 (d)] And after removing LTO film 25, LTO film 26 is arranged to the predetermined region on the surface channel layer 5 using the photoresist method, the ion implantation of the p type

impurity is carried out by making this into a mask, and a p-type semiconductor is made to reverse selectively the surface channel layer 5 on the p type base region 3. Thereby, the electrical link of the source electrode 10 and the p type base region 3 which are formed by a post process becomes possible.

[0098]Then, if the process shown in drawing 14 is given, the vertical mold power metal-oxide semiconductor field effect transistor in this embodiment will be completed. Thus, after forming the surface channel layer 5, the field 3a may be formed.

[0099](A 3rd embodiment) This embodiment changes the structure of the p type base region 3 in a 1st embodiment. Therefore, since the main structures of MOSFET are the same as that of a 1st embodiment, only a different portion from a 1st embodiment is explained.

[0100]The sectional view of MOSFET in this embodiment is shown in drawing 4. The p type base region 3 has the field 3a which formed aluminum as a dopant, the field 3b which formed B as a dopant, and the field 3c for contact to the source electrode 10.

[0101]The field 3a is formed in the predetermined region having contained the lower part of the surface channel layer 5. The field 3b is formed so that the lower part of the surface channel layer 5 may not be included, and the junction depth is deep rather than the field 3a. That is, the junction depth only of the portion in which the field 3b was formed is deep selectively, and the distance of the p type base region 3 and the semiconductor substrate 1 is short in this portion.

[0102]Therefore, it works as a deep base layer and field intensity in this portion can be made high, it is easy to carry out the avalanche breakdown of this field 3b, and it can become.

[0103]Although not shown by a diagram, the field 3b overlaps the field 3a selectively, and is raising the activation rate rather than the case where the field 3B is formed independently.

[0104]Next, the manufacturing process of MOSFET constituted in this way is explained based on drawing 5 and drawing 6. However, only a portion different here from a 1st embodiment is explained.

[0105][The process shown in drawing 5 (a)] After arranging LTO film 31 on the n⁻ type epilayer 2, the opening of the predetermined region of LTO film 31 is carried out. And the ion implantation of the B is carried out by using LTO film 31 as a mask, and the field 3b is formed. the conditions of the ion implantation at this time are the same as that of a 1st embodiment -- it is carrying out.

[0106]At this time, it sees from a substrate face, and he keeps the opening part of LTO film 31 from overlapping the surface channel layer 5 formed by a post process, and is trying to overlap the n⁺ type source region 4. Thereby, B is not injected into the lower part of the surface channel layer 5, but B is made to be injected into the lower part of the n⁺ type source region 4.

[0107][The process shown in drawing 5 (b)] Activation annealing is performed and poured-in B ion is activated. Since the field 3b where B was injected into the lower part of the surface channel layer 5 was not formed at this time and it has come, the diffusion to the surface channel layer 5 of B can be prevented. Thereby, change of threshold voltage can be prevented.

[0108]In order to inject B into the lower part of the n⁺ type source region 4, the pinch resistor between the n⁺ type source region 4 and the n⁻ type epilayer 2 can be made small. A serge tolerated dose can be made higher than that of this.

[0109]Since diffusion of B to the surface channel layer 5 can be prevented in this way if the field 3b is made not to be formed in the lower part of the surface channel layer 5, Although the interval of the field 3b and the surface of the n⁻ type epilayer 2 may be short, the above-mentioned diffusion can be more efficiently prevented by estranging and forming the field 3b from the surface channel layer 5.

[0110][The process shown in drawing 5 (c)] After arranging LTO film 32 on the n⁻ type epilayer 2 and carrying out the opening of the predetermined region of LTO film 32, the ion implantation of the aluminum is carried out by using LTO film 32 as a mask. When it sees from the upper surface of the n⁻ type epilayer 2 at this time, as it becomes a size including the field 3b where the opening part of LTO film 32 is deep, ion is made to be poured in also under the surface channel layer 5 formed by a post process.

[0111]The conditions of the ion implantation at this time suppose that it is the same as that of a 1st embodiment.

[0112]Thereby, the field 3a where aluminum was poured in is formed. This field 3a constitutes the portion with a shallow junction depth among the p type base regions 3. The field 3a is formed in the range wider than the field 3b, when it sees from the upper surface of the n⁻ type epilayer 2.

[0113][The process shown in drawing 5 (d)] After removing LTO film 32, on the n⁻ type epilayer 2, impurity concentration grows epitaxially below to $1 \times 10^{16} \text{ cm}^{-3}$, and thickness grows epitaxially the surface channel layer 5 of 0.3 micrometer or less.

[0114][The process shown in drawing 6 (a)] LTO film 33 is arranged to the predetermined region on the surface channel layer 5 using the photoresist method, the ion implantation of the n type impurities, such as N (nitrogen), is carried out by making this into a mask, and the n⁺ type source region 4 is formed. The ion-implantation conditions at this time suppose that it is the same as that of a 1st embodiment.

[0115][The process shown in drawing 6 (b)] And after removing LTO film 33, LTO film 34 is arranged to the

predetermined region on the surface channel layer 5 using the photoresist method, the ion implantation of the p type impurity is carried out by making this into a mask, and a p-type semiconductor is made to reverse selectively the surface channel layer 5 on the p type base region 3. Thereby, the electrical link of the source electrode 10 and the p type base region 3 which are formed by a post process becomes possible.

[0116] Then, if the process shown in drawing 14 is given, the vertical mold power metal-oxide semiconductor field effect transistor in this embodiment will be completed.

[0117] Thus, can prevent change of threshold voltage by the field 3b which uses B as a dopant being made not to be formed in the lower part of the surface channel layer 5, and. A pinch resistor can be made small by the field 3a and the

field 3b being formed between an n⁺ type source region and the n⁻ type epilayer 2, and a serge tolerated dose can be made high.

[0118] (A 4th embodiment) This embodiment changes the structure of the p type base region 3 in a 1st embodiment. Therefore, since the main structures of MOSFET are the same as that of a 1st embodiment, only a different portion from a 1st embodiment is explained.

[0119] The sectional view of MOSFET in this embodiment is shown in drawing 7. The p type base region 3 has the field 3a which formed aluminum as a dopant, the field 3b which formed B as a dopant, and the field 3c for contact to the source electrode 10.

[0120] The field 3a is formed in the predetermined region having contained the lower part of the surface channel layer 5 by epitaxial growth etc. The field 3b is formed of the ion implantation so that the lower part of the surface channel layer 5 may not be included, and the junction depth is deep rather than the field 3a. That is, the junction depth only of the portion in which the field 3b was formed is deep selectively, and the distance of the p type base region 3 and the semiconductor substrate 1 is short in this portion. Therefore, this field 3b works as a deep base layer.

[0121] Next, the manufacturing process of MOSFET which has such a structure is explained drawing 8 – based on drawing 10. However, only the portion from which a 1st embodiment and a manufacturing process differ is explained.

[0122] [The process shown in drawing 8 (a)] The p⁻ type layer 40 which doped aluminum on the n⁻ type epilayer 2 is grown epitaxially. This p⁻ type layer 40 constitutes the field 3a. Thus, by forming the field 3a which uses aluminum as a dopant by epitaxial growth without being based on an ion implantation, when aluminum is used as a dopant, the thickness of the p type base region 3 is thickly got blocked, and a junction depth can be substantially made deep.

[0123] [The process shown in drawing 8 (b)] ITO film 41 is arranged to the predetermined region on the p⁻ type layer 40 using the photoresist method, and it etches by making this into a mask. The slot 42 which penetrates the p⁻ type layer 40 and is attained to the n⁻ type epilayer 2 by this is formed.

[0124] [The process shown in drawing 8 (c)] Next, the n⁻ type layer 43 is grown epitaxially all over the upper surface of the p⁻ type layer 40 including the inside of the slot 42. Thereby, the inside of the slot 42 is buried with the n⁻ type layer 43.

[0125] [The process shown in drawing 8 (d)] A surface polish is performed until the p⁻ type layer 40 is exposed, and flattening of the substrate face is carried out. Thereby, the n⁻ type epilayer 2a which works as a drift region with the n⁻ type epilayer 2 is formed.

[0126] [The process shown in drawing 9 (a)] After arranging LTO film 44 on the n⁻ type epilayer 2, the opening of the predetermined region of LTO film 44 is carried out, and the ion implantation of the B is carried out by making this into a mask. The conditions of the ion implantation at this time suppose that it is the same as that of a 1st embodiment.

[0127] At this time, as it sees from a substrate face and the opening part of LTO film 42 does not overlap the surface channel layer 5 formed by a post process, B is not injected into the lower part of the surface channel layer 5, and it is making.

[0128] [The process shown in drawing 9 (b)] Activation annealing is performed and B ion in the field 3b is activated. Thereby, the junction depth of the field 3b becomes deep. Since B is not injected into the lower part of the surface channel layer 5 and it is making at this time, even if B poured into the field 3b is spread, the diffusion to the surface channel layer 5 can be prevented. Thereby, change of threshold voltage can be prevented.

[0129] Like a 3rd embodiment, the junction depth of the field 3b can be enlarged more, and it can work as a deep base layer.

[0130] [The process shown in drawing 9 (c)] After removing LTO film 44, on the n⁻ type epilayer 2, impurity concentration grows epitaxially below to $1 \times 10^{16} \text{ cm}^{-3}$, and thickness grows epitaxially the surface channel layer 5 of 0.3 micrometer or less. Also in heat treatment in this epitaxial growth, since B is not injected into the lower part of the surface channel layer 5 and it is making, diffusion of B to the surface channel layer 5 can be prevented.

[0131] [The process shown in drawing 10 (a)] LTO film 45 is arranged to the predetermined region on the surface channel layer 5 using the photoresist method, the ion implantation of the n type impurities, such as N (nitrogen), is carried out by making this into a mask, and the n⁺ type source region 4 is formed. The ion-implantation conditions at this time are the same as that of a 1st embodiment.

[0132] [The process shown in drawing 10 (b)] And after removing LTO film 45, LTO film 46 is arranged to the

predetermined region on the surface channel layer 5 using the photoresist method, the ion implantation of the p type impurity is carried out by making this into a mask, and a p-type semiconductor is made to reverse selectively the surface channel layer 5 on the p type base region 3. Thereby, the electrical link of the source electrode 10 and the p type base region 3 which are formed by a post process becomes possible.

[0133]Then, if the process shown in drawing 14 is given, the vertical mold power metal-oxide semiconductor field effect transistor in this embodiment will be completed.

[0134]Thus, when the field 3a which uses aluminum as a dopant is formed by epitaxial growth etc. which are not ion implantations, the substantial junction depth of the p type base region 3 can be easily made deep. The same effect as a 3rd embodiment can not only be acquired by this, but even if it uses aluminum as a dopant, it can prevent generating of a punch through easily.

[0135](A 5th embodiment) This embodiment changes the manufacturing process of the n⁻ type epilayer 2a in a 4th embodiment. Therefore, only a different portion from a 4th embodiment is explained.

[0136][The process shown in drawing 11 (a)] The process shown in drawing 8 (a) in a 4th embodiment and the same process are given, and the p⁻ type layer 40 which constitutes the field 3a is grown epitaxially.

[0137][The process shown in drawing 11 (b)] Next, LTO film 51 is formed, it patterns by photo etching, the ion implantation of the n type impurities, such as N and P, is carried out by making this into a mask, and the n type ion implantation layer 51 is formed.

[0138][The process shown in drawing 11 (c)] Then, heat-of-activation processing of the impurity which removed LTO film 51 used as a mask, and was poured in at a 1400-1500 ** elevated temperature on the occasion of an ion implantation is performed, the conductivity type of the p type base region 3 is reversed in the portion into which n type ion was injected, and n⁻ type layer 2b is formed.

[0139]After this, MOSFET which has the same composition as a 4th embodiment is completed through the process shown in drawing 9 (a) - (c) like a 4th embodiment, and the process shown in drawing 10 (a) and (b).

[0140]Thus, since n⁻ type layer 2b is formed by the ion implantation, The process for which much advanced art, such as a process of forming the slot 42 needed by a 4th embodiment, a process which grows the n⁻ type layer 43 epitaxially, and a process to which flattening of the n⁻ type layer 43 is carried out, is needed can be skipped. Thereby, device formation can be simplified.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1]It is a sectional view showing the planar type power metal-oxide semiconductor field effect transistor in a 1st embodiment.

[Drawing 2]It is a figure showing the manufacturing process of the planar type power metal-oxide semiconductor field effect transistor shown in drawing 1.

[Drawing 3]It is a figure showing the manufacturing process of the planar type power metal-oxide semiconductor field effect transistor in a 2nd embodiment.

[Drawing 4]It is a sectional view showing the planar type power metal-oxide semiconductor field effect transistor in a 3rd embodiment.

[Drawing 5]It is a figure showing the manufacturing process of the planar type power metal-oxide semiconductor field effect transistor shown in drawing 4.

[Drawing 6]It is a figure showing the manufacturing process of the planar type power metal-oxide semiconductor field effect transistor following drawing 5.

[Drawing 7]It is a figure showing the manufacturing process of the planar type power metal-oxide semiconductor field effect transistor in a 4th embodiment.

[Drawing 8]It is a figure showing the manufacturing process of the planar type power metal-oxide semiconductor field effect transistor shown in drawing 7.

[Drawing 9]It is a figure showing the manufacturing process of the planar type power metal-oxide semiconductor field effect transistor following drawing 8.

[Drawing 10]It is a figure showing the manufacturing process of the planar type power metal-oxide semiconductor field effect transistor following drawing 9.

[Drawing 11]It is a figure showing the manufacturing process of the planar type power metal-oxide semiconductor field effect transistor in a 5th embodiment.

[Drawing 12]It is a sectional view in which this invention persons show the planar type power metal-oxide semiconductor field effect transistor which applied previously.

[Drawing 13]It is a figure showing the manufacturing process of the planar type power metal-oxide semiconductor field effect transistor shown in drawing 12.

[Drawing 14]It is a figure showing the manufacturing process of the planar type power metal-oxide semiconductor field effect transistor following drawing 13.

[Drawing 15]It is a figure showing the manufacturing process of the planar type power metal-oxide semiconductor field effect transistor following drawing 14.

[Drawing 16]It is a figure showing the diffusing depth of B (boron), and the profile of impurity concentration.

[Description of Notations]

1 -- An n⁺ type semiconductor substrate, 2 -- An n⁺ type epilayer, 3 -- P type base region, The field where 3 a--aluminum was poured in, the field where 3 b--B was poured in, 4 [-- A gate electrode, 9 / -- An insulator layer, 10 / -- A source electrode, 11 / -- Drain electrode.] -- An n⁺ type source region, 5 -- A surface channel layer, 7 -- Gate dielectric film, 8

[Translation done.]

(11)特許出願公開番号

(P2000-82812A)

(43)公開日 平成12年3月21日(2000.3.21)

テーマコード* (参考)

6 5 2 E

6 5 2 T

658A

審査請求 未請求 請求項の数16 O.L (全 15 頁)

(71)出願人 000004260

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 山本 剛

愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

(72)発明者 小島 淳

愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

(72)発明者 中村 広希

愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

(74) 代理人 100100022

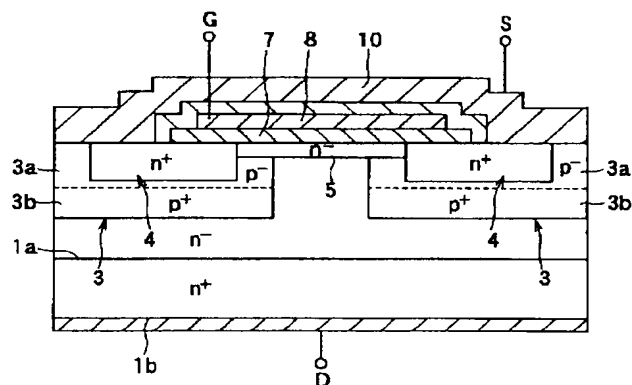
弁理士 伊藤 洋二 (外2名)

(54) 【発明の名称】 炭化珪素半導体装置及びその製造方法

(57) 【要約】

【課題】 しきい値電圧の変動を防止し、サージ耐圧が高くできると共にパンチスルーの発生を防止できるようにする。

【解決手段】 ベース領域3のうち、表面チャネル層5と接しない領域3bをB（ボロン）で形成し、表面チャネル層5と接する領域3aをA1（アルミニウム）で形成する。このように、拡散係数の小さいA1で領域3aを形成すれば、Bの拡散によるしきい値電圧の変動を防止できる。また、表面チャネル層5と接しない領域3bは、活性化率が高く、活性化エネルギーの小さいBで形成されるようにすることで、サージ耐量を向上できる。また、この領域3bを飛程の長いBで形成しているため、接合深さが容易に深くでき、パンチスルー発生を防止できる。



【特許請求の範囲】

【請求項1】 単結晶炭化珪素よりなる第1導電型の半導体基板(1)の主表面上にこの半導体基板よりも高抵抗な炭化珪素よりなる第1導電型の半導体層(2)を形成する工程と、

前記半導体層の表層部の所定領域において、該表層部から離間した位置に、第2導電型の第1のドーパントを含む所定深さの第1のベース領域(3b)を形成する工程と、

前記半導体層の表層部の所定領域に、前記第1のベース領域と重なりと共に前記半導体層の表面部で終端する第2導電型の前記第1のドーパントより拡散係数の小さい第2のドーパントを含む第2のベース領域(3a)を形成する工程と、

前記第2のベース領域の上部に第2導電型の表面チャネル層(5)を形成する工程と、前記第2のベース領域の表層部の所定領域に前記表面チャネル層に接すると共に、前記第1のベース領域の深さよりも浅い第1導電型のソース領域(4)を形成する工程と、

前記表面チャネル層上にゲート絶縁膜(7)を介してゲート電極(8)を形成する工程と、

前記ベース領域及び前記ソース領域に接触するソース電極(10)を形成する工程と、

前記半導体基板の裏面側にドレイン電極(11)を形成する工程と、を備えていることを特徴とする炭化珪素半導体装置の製造方法。

【請求項2】 前記第1のベース領域を形成するためのマスクと前記第2のベース領域を形成するためのマスクとを、同一マスクで兼用することを特徴とする請求項1に記載の炭化珪素半導体装置の製造方法。

【請求項3】 単結晶炭化珪素よりなる第1導電型の半導体基板(1)の主表面上に、この半導体基板よりも高抵抗な炭化珪素よりなる第1導電型の半導体層(2)を形成する工程と、

前記半導体層の表層部の所定領域において、該表層部から離間した位置に、第2導電型の第1のドーパントを含む所定深さの第1のベース領域(3b)を形成する工程と、

前記半導体層の上部に第2導電型の表面チャネル層(5)を形成する工程と、

前記半導体層の表層部の所定領域に、前記第1のベース領域と重なりと共に表面チャネル層と接する前記第1のドーパントより拡散係数の小さな第2のドーパントを含む第2導電型の第2のベース領域(3a)を形成する工程と、

前記第2のベース領域の表層部の所定領域に、前記表面チャネル層に接すると共に前記第1のベース領域の深さよりも浅い第1導電型のソース領域(4)を形成する工程と、

前記表面チャネル層上にゲート絶縁膜(7)を介してゲ

ート電極(8)を形成する工程と、

前記ベース領域及び前記ソース領域に接触するソース電極(10)を形成する工程と、

前記半導体基板の裏面側にドレイン電極(11)を形成する工程と、を備えていることを特徴とする炭化珪素半導体装置の製造方法。

【請求項4】 単結晶炭化珪素よりなる第1導電型の半導体基板(1)の主表面上に、この半導体基板よりも高抵抗な炭化珪素よりなる第1導電型の半導体層(2)を形成する工程と、

前記半導体層の表層部の所定領域において、第2導電型の第1のドーパントを含む所定深さの第1のベース領域(3b)を形成する工程と、

前記半導体層の表層部の所定領域に、前記第1のベース領域と重なりと共に前記半導体層の表面部で終端し、前記第1のドーパントより拡散係数の小さな第2のドーパントを含む第2のベース領域(3a)を形成する工程と、

前記半導体層の上部に第2導電型の表面チャネル層(5)を形成する工程と、

前記第2のベース領域の表層部の所定領域に、前記表面チャネル層に接すると共に前記第1のベース領域の深さよりも浅い第1導電型のソース領域(4)を形成する工程と、

前記表面チャネル層上にゲート絶縁膜(7)を介してゲート電極(8)を形成する工程と、

前記ベース領域及び前記ソース領域に接触するソース電極(10)を形成する工程と、

前記半導体基板の裏面側にドレイン電極(11)を形成する工程とを備え、

前記第1のベース領域を形成する工程では、該第1のベース領域が、ソース領域の下部には配置されて、前記表面チャネル層の下部には配置されないようにすることを特徴とする炭化珪素半導体装置の製造方法。

【請求項5】 単結晶炭化珪素よりなる第1導電型の半導体基板(1)の主表面上に、この半導体基板よりも高抵抗な炭化珪素よりなる第1導電型の第1の半導体層(2)を形成する工程と、

この半導体層上に第2のドーパントを含む第2導電型の第2の半導体層(40)を成膜する工程と、

前記半導体基板の表面側から前記第2の半導体層を貫通し、前記第1の半導体層に達する溝(42)を形成することにより、前記第2の半導体層にて第2のベース領域(3a)を形成する工程と、

前記溝内を含む前記第2の半導体層上に第1導電型の第3の半導体層(43)をエピタキシャル成長させることにより、前記溝内を該第3の半導体層で埋める工程と、前記第3の半導体層における凹凸を平坦化する工程と、前記第2の半導体層の表層部の所定領域に、所定深さを有する第2のドーパントより拡散係数の大きな第1のド

ーパントを含む第2導電型の第1のベース領域(3b)を形成する工程と、
 前記第2の半導体層の上部に第2導電型の表面チャネル層(5)を形成する工程と、
 前記第2のベース領域の表層部の所定領域に、前記表面チャネル層に接すると共に前記第1のベース領域の深さよりも浅い第1導電型のソース領域(4)を形成する工程と、
 前記表面チャネル層上にゲート絶縁膜(7)を介してゲート電極(8)を形成する工程と、
 前記ベース領域及び前記ソース領域に接触するソース電極(10)を形成する工程と、
 前記半導体基板の裏面側にドレイン電極(11)を形成する工程とを備えていることを特徴とする炭化珪素半導体装置の製造方法。

【請求項6】 単結晶炭化珪素よりなる第1導電型の半導体基板(1)の主表面上に、この半導体基板よりも高抵抗な炭化珪素よりなる第1導電型の第1の半導体層(2)を形成する工程と、
 この半導体層上に第2のドーパントを含む第2導電型の第2の半導体層(40)を成膜する工程と、
 前記半導体基板の表面から前記第2の半導体層の所定領域にイオン注入することで、前記第2半導体層を貫通して前記第1の半導体層に達する第1導電型の第3の半導体層(2b)を形成すると共に、前記第2の半導体層にて第2のベース領域(3a)を形成する工程と、
 前記第2の半導体層の表層部の所定領域に、所定深さを有する第2のドーパントより拡散係数の大きな第1のドーパントを含む第2導電型の第1のベース領域(3b)を形成する工程と、
 前記第2の半導体層の上部に第2導電型の表面チャネル層(5)を形成する工程と、
 前記第2のベース領域の表層部の所定領域に、前記表面チャネル層に接すると共に前記第1のベース領域の深さよりも浅い第1導電型のソース領域(4)を形成する工程と、
 前記表面チャネル層上にゲート絶縁膜(7)を介してゲート電極(8)を形成する工程と、
 前記ベース領域及び前記ソース領域に接触するソース電極(10)を形成する工程と、
 前記半導体基板の裏面側にドレイン電極(11)を形成する工程とを備えていることを特徴とする炭化珪素半導体装置の製造方法。

【請求項7】 前記第1のベース領域を形成する工程では、該第1のベース領域が、ソース領域の下部には配置されて、前記表面チャネル層の下部には配置されないようにすることを特徴とする請求項5又は6に記載の炭化珪素半導体装置の製造方法。

【請求項8】 前記第1のベース領域の深さを前記第2のベース領域の深さよりも深くすることを特徴とする請

求項4乃至7のいずれか1つに記載の半導体装置の製造方法。

【請求項9】 前記第1のベース領域を前記表面チャネル層から離間して形成することを特徴とする請求項4乃至8のいずれか1つに記載の炭化珪素半導体装置の製造方法。

【請求項10】 前記第1のベース領域と前記表面チャネル層とが接するようにしており、前記表面チャネル層中に含まれる第1のドーパントの濃度が、表面チャネル層中における第1導電型不純物の濃度よりも低くなるようにすることを特徴とする請求項4乃至8のいずれか1つに記載の炭化珪素半導体装置の製造方法。

【請求項11】 前記第1のドーパントとしてB(ボロン)を用い、前記第2のドーパントとしてAl(アルミニウム)を用いることを特徴とする請求項1乃至10のいずれか1つに記載の炭化珪素半導体装置の製造方法。

【請求項12】 主表面及びこの主表面と反対面である裏面を有し、炭化珪素よりなる第1導電型の半導体基板(1)と、

前記半導体基板の主表面上に形成され、前記半導体基板よりも高抵抗な炭化珪素よりなる第1導電型の半導体層(2)と、

前記半導体層の表層部の所定領域に形成され、所定深さを有する第2導電型のベース領域(3a、3b)と、
 前記ベース領域の表層部の所定領域に形成され、該ベース領域の深さよりも浅い第1導電型のソース領域(4)と、

前記ベース領域の表層部及び前記半導体層とを繋ぐように形成された、炭化珪素よりなる第1導電型の表面チャネル層(5)と、前記表面チャネル層の表面に形成されたゲート絶縁膜(7)と、

前記ゲート絶縁膜の上に形成されたゲート電極(8)と、

前記ベース領域及び前記ソース領域に接触するように形成されたソース電極(10)と、

前記半導体基板の裏面に形成されたドレイン電極(11)とを備え、

前記ベース領域は、第1のドーパントを含む第1のベース領域(3b)と、前記第1のドーパントよりも拡散係数の小さな第2のドーパントを含む第2のベース領域(3a)とを有しており、前記第1のベース領域が前記表面チャネル層から離間した位置に形成されていることを特徴とする炭化珪素半導体装置。

【請求項13】 主表面及びこの主表面と反対面である裏面を有し、炭化珪素よりなる第1導電型の半導体基板(1)と、

前記半導体基板の主表面上に形成され、前記半導体基板よりも高抵抗な炭化珪素よりなる第1導電型の半導体層(2)と、

前記半導体層の表層部の所定領域に形成され、所定深さ

を有する第2導電型のベース領域(3a、3b)と、前記ベース領域の表層部の所定領域に形成され、該ベース領域の深さよりも浅い第1導電型のソース領域(4)と、
前記ベース領域の表層部及び前記半導体層とを繋ぐように形成された、炭化珪素よりなる第1導電型の表面チャネル層(5)と、前記表面チャネル層の表面に形成されたゲート絶縁膜(7)と、
前記ゲート絶縁膜の上に形成されたゲート電極(8)と、
前記ベース領域及び前記ソース領域に接触するように形成されたソース電極(10)と、
前記半導体基板の裏面に形成されたドレイン電極(11)とを備え、
前記ベース領域は、第1のドーパントを含む第1のベース領域(3b)と、前記第1のドーパントよりも拡散係数の小さな第2のドーパントを含む第2のベース領域(3a)とを有しており、前記第1のベース領域が前記ソース領域の下部には形成されており、前記表面チャネル層の下部には形成されていないことを特徴とする炭化珪素半導体装置。

【請求項14】 前記第1のベース領域が前記表面チャネル層から離間した位置に形成されていることを特徴とする請求項13に記載の炭化珪素半導体装置。

【請求項15】 前記第1のベース領域が前記第2のベース領域よりも接合深さが深くなっていることを特徴とする請求項12乃至14のいずれか1つに記載の炭化珪素半導体装置。

【請求項16】 前記第1のドーパントはB(ボロン)であり、前記第2のドーパントはAl(アルミニウム)であることを特徴とする請求項12乃至15のいずれか1つに記載の炭化珪素半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、炭化珪素半導体装置の製造方法に関し、特に絶縁ゲート型電界効果トランジスタ、とりわけ大電力用の縦型パワーMOSFETに関するものである。

【0002】

【従来の技術】本出願人は、プレーナ型MOSFETにおいて、チャネル移動度を向上させてオン抵抗を低減させたものを、特願平9-259076号で出願している。

【0003】このプレーナ型MOSFETの断面図を図12に示し、この図に基づいてプレーナ型MOSFETの構造について説明する。

【0004】炭化珪素からなるn⁺型半導体基板1は上面を主表面1aとし、主表面の反対面である下面を裏面1bとしている。このn⁺型半導体基板1の主表面1a上には、基板1よりも低いドーパント濃度を有する炭化

珪素からなるn⁻型エピタキシャル層(以下、n⁻型エピ層という)2が積層されている。

【0005】n⁻型エピ層2の表層部における所定領域には、所定深さを有するp⁻型ベース領域3が形成されている。このp⁻型ベース領域3はB(ボロン)やAl(アルミニウム)をドーパントとして形成されている。また、p⁻型ベース領域3の表層部の所定領域には、該ベース領域3よりも浅いn⁺型ソース領域4が形成されている。

【0006】さらに、n⁺型ソース領域4とn⁻型エピ層2とを繋ぐように、p⁻型ベース領域3の表面部にはn⁻型SiC層5が延設されている。このn⁻型SiC層5は、エピタキシャル成長にて形成されたものであり、エピタキシャル膜の結晶が4H、6H、3Cのものを有する。尚、このn⁻型SiC層5はデバイスの動作時にチャネル形成層として機能する。以下、n⁻型SiC層5を表面チャネル層という。

【0007】表面チャネル層5はN(窒素)をドーパントに用いて形成されており、そのドーパント濃度は、例えば $1 \times 10^{15} \text{ cm}^{-3} \sim 1 \times 10^{17} \text{ cm}^{-3}$ 程度の低濃度で、かつ、n⁻型エピ層2及びp⁻型ベース領域3のドーパント濃度以下となっている。これにより、低オン抵抗化が図られている。

【0008】表面チャネル層5の上面およびn⁺型ソース領域4の上面には熱酸化にてゲート酸化膜7が形成されている。さらに、ゲート酸化膜7の上にはゲート電極8が形成されている。ゲート電極8は絶縁膜9にて覆われている。絶縁膜9としてLTO(Low Temperature Oxide)膜が用いられている。その上にはソース電極10が形成され、ソース電極10はn⁺型ソース領域4およびp⁻型ベース領域3と接している。また、n⁺型半導体基板1の裏面1bには、ドレイン電極層11が形成されている。

【0009】このように構成されたプレーナ型MOSFETは、チャネル形成層の導電型を反転させることなくチャネルを誘起する蓄積モードで動作するため、導電型を反転させる反転モードのMOSFETに比べチャネル移動度を大きくすることができ、オン抵抗を低減させることができる。

【0010】次に、図12に示すMOSFETの製造工程を、図13～図15に基づいて説明する。

【0011】〔図13(a)に示す工程〕まず、n型4Hまたは6Hまたは3C-SiC基板、すなわちn⁺型半導体基板1を用意する。ここで、n⁺型半導体基板1はその厚さが400μmであり、主表面1aが(0001)Si面、又は、(112-0)a面である。この基板1の主表面1aに厚さ5μmのn⁻型エピ層2をエピタキシャル成長する。本例では、n⁻型エピ層2は下地の基板1と同様の結晶が得られ、n型4Hまたは6Hまたは3C-SiC層となる。

【0012】〔図13(b)に示す工程〕 n^- 型エピ層2の上の所定領域にLTO膜120を配置し、これをマスクとして B^+ (若しくはアルミニウム)をイオン注入して、 p^- 型ベース領域3を形成する。このときのイオン注入条件は、温度が700℃で、ドーズ量が $1 \times 10^{16} \text{ cm}^{-2}$ としている。

【0013】〔図13(c)に示す工程〕LTO膜120を除去した後、 p^- 型ベース領域3を含む n^- 型エピ層2上に表面チャネル層5を化学気相成長法(Chemical Vapor Deposition: CVD法)によりエピタキシャル成長させる。

【0014】〔図14(a)に示す工程〕表面チャネル層5の上の所定領域にLTO膜121を配置し、これをマスクとしてN(窒素)等の n 型不純物をイオン注入し、 n^+ 型ソース領域4を形成する。このときのイオン注入条件は、700℃、ドーズ量は $1 \times 10^{15} \text{ cm}^{-2}$ としている。

【0015】〔図14(b)に示す工程〕そして、LTO膜121を除去した後、フォトレジスト法を用いて表面チャネル層5の上の所定領域にLTO膜122を配置し、これをマスクとしてRIEにより p^- 型ベース領域3上の表面チャネル層5を部分的にエッチング除去する。

【0016】〔図15(a)に示す工程〕LTO膜122を除去した後、基板の上にウェット酸化($\text{H}_2 + \text{O}_2$ によるパイロジェニック法を含む)によりゲート酸化膜7を形成する。このとき、雰囲気温度は1080℃とする。

【0017】その後、ゲート絶縁膜7の上にポリシリコンからなるゲート電極8をLPCVDにより堆積する。このときの成膜温度は600℃とする。

【0018】〔図15(b)に示す工程〕引き続き、ゲート絶縁膜7の不要部分を除去した後、LTOよりなる絶縁膜9を形成しゲート絶縁膜7を覆う。より詳しくは、成膜温度は425℃であり、成膜後に1000℃のアニールを行う。

【0019】〔図15(c)に示す工程〕そして、室温での金属スパッタリングによりソース電極10及びドレイン電極11を配置する。また、成膜後に1000℃のアニールを行う。

【0020】このようにして、図12に示す縦型パワーMOSFETが完成する。

【0021】

【発明が解決しようとする課題】上記した先の出願では、 p^- 型ベース領域3を形成するためのドーパントとして、BやA1を用いることが示されている。

【0022】しかしながら、Bをドーパントとして用いた場合、図16に示すBの熱処理温度とプロファイルの関係にて表されているように、Bが拡散し易いことから、ドーピング後に行う活性化アニールの際の熱処理時

や表面チャネル層5の成長時における熱処理時にBが表面チャネル層5の中へ拡散してしまい、表面チャネル層5の不純物濃度が高くなって、しきい値電圧を高くするという問題を発生させる。

【0023】さらに、A1に比べてBは活性化エネルギーが大きく、活性化率が低いため、ソース領域4と n^- 型エピ層2で挟まれた部分のピンチ抵抗が高くなりサージ破壊が起きやすくなってしまうという問題を発生させる。

【0024】一方、上記問題を解決すべく、A1をドーパントとして用いた場合、Bと比べてイオン注入の飛程が短くなるため、 n^+ 型ソース領域4に対してあまり p^- 型ベース領域3を深くできず、パンチスルーが起きやすくなるという問題があった。

【0025】本発明は上記問題に鑑みて成され、しきい値電圧の変動を防止できる炭化珪素半導体装置及びその製造方法を提供することを第1の目的とする。

【0026】また、サージ耐量が高い炭化珪素半導体装置及びその製造方法を提供することを第2の目的とする。

【0027】さらに、パンチスルーの発生を防止できる炭化珪素半導体装置及びその製造方法を提供することを第3の目的とする。

【0028】

【課題を解決するための手段】上記目的を達成するため、以下の技術的手段を採用する。

【0029】請求項1に記載の発明においては、半導体層の表層部の所定領域において、該半導体層の表面から離間した位置に、第2導電型の第1のドーパントを含む所定深さの第1のベース領域(3b)を形成する工程と、半導体層の表層部の所定領域に、第1のベース領域と重なると共に半導体層の表面部で終端する第2導電型の第1のドーパントより拡散係数の小さい第2のドーパントを含む第2のベース領域(3a)を形成する工程とを備えていることを特徴としている。

【0030】このように、拡散係数の小さい第2のドーパントで、半導体層の表面部で終端する第2のベース領域と形成し、第1のドーパントで半導体層の表面から離間する位置に第1のベース領域を形成すれば、拡散係数の高い第1のドーパントの表面チャネル層への拡散を抑制できるため、しきい値電圧の変動を防止することができる。

【0031】請求項2に記載の発明においては、第1のベース領域を形成するためのマスクと第2のベース領域を形成するためのマスクとを、同一マスクで兼用することを特徴としている。

【0032】このように、第1のベース領域を形成するためのマスクと第2のベース領域を形成するためのマスクを兼用することにより、マスクずれを見込んだ耐圧設計をする必要をなくすることができると共に、製造プロセ

スの簡略化を図ることができる。

【0033】請求項3に記載の発明においては、表面チャネル層(5)を形成した後において、半導体層の表層部の所定領域に、第1のベース領域と重なり共に表面チャネル層と接する第1のドーパントより拡散係数の小さな第2のドーパントを含む第2導電型の第2のベース領域(3a)を形成することを特徴としている。

【0034】このように、表面チャネル層を形成した後に、第2のベース領域を形成してもよい。

【0035】請求項4に記載の発明においては、第1のドーパントを含む第1のベース領域(3b)と、第2のドーパントを含む第2のベース領域(3a)を形成し、第1のベース領域がソース領域(4)の下部には配置されて、表面チャネル層(5)の下部には配置されないようにすることを特徴としている。

【0036】このように、表面チャネル層の下部には第2のドーパントを含む第2のベース領域が形成されないようにすれば、表面チャネル層への第2のドーパントの拡散を防止することができる。また、ソース領域の下部には第1のベース領域と第2のベース領域が形成されるようにすれば、ソース領域と半導体層(2)との間におけるピンチ抵抗を小さくでき、サージ耐量を高めることができる。

【0037】請求項5に記載の発明においては、半導体層(2)上に第2のドーパントを含む第2導電型の第2の半導体層(41)を成膜する工程と、半導体基板の表面側から第2の半導体層を貫通して第1の半導体層に達する溝(42)を形成することにより、第2の半導体層にて第2のベース領域(3a)を形成する工程と、溝内を含む第2の半導体層上に第1導電型の第3の半導体層(43)をエピタキシャル成長させることにより、溝内を該第3の半導体層で埋める工程と、第3の半導体層における凹凸を平坦化する工程と、第1の半導体層の表層部の所定領域に、所定深さを有する第2のドーパントより拡散係数の大きな第1のドーパントを含む第2導電型の第1のベース領域(3b)を形成する工程と、を備えていることを特徴としている。

【0038】このように、第2導電型の第2の半導体層を成膜したのち、この第2の半導体層に溝を形成することで第2のベース領域を形成すれば、イオン注入によらずに第1のベース領域を形成できるため、第2のドーパントの飛程が短くても第2のベース領域の実質的な接合深さを深くすることができる。これにより、パンチスルーを防止できる。また、拡散係数の大きな第1のドーパントで第1のベース領域を形成することにより、深い第1のベース領域をベースコンタクト部下部に形成可能となり、この底部でブレイクダウンを起こさせることにより寄生トランジスタを動作させにくい構造とできる。従って、サージ耐量を高めることができる。

【0039】また、請求項6に示すように、半導体基板

の表面から第2の半導体層の所定領域にイオン注入することで、第2半導体層を貫通して第1の半導体層に達する第1導電型の第3の半導体層(2b)を形成すると共に、第2の半導体層にて第2のベース領域(3a)を形成するようにしてもよい。

【0040】このようにイオン注入によって第3半導体層を形成することにより、請求項5に示す溝形成工程、溝埋め込み工程、半導体表面の凹凸を平坦化する工程をなくし、製造プロセスを簡略化することができる。なお、この場合においても、請求項5に示す製造方法で形成したデバイスと同等の特性を期待できる。

【0041】なお、請求項7に示すように、表面チャネル層の下部には第1のドーパントを含む第1のベース領域が形成されないようにすれば、表面チャネル層への第1のドーパントの拡散を防止することができる。

【0042】請求項8に記載の発明においては、第1のベース領域の深さを第2のベース領域の深さよりも深くすることを特徴としている。

【0043】このように、拡散係数の大きな第1のドーパントを含む第1のベース領域が第2のベース領域よりも深くなるようにすることで、パンチスルーの発生を防止することができる。さらに、請求項4や請求項6の場合においては、第2のベース領域が形成された位置において部分的に深くできるため、この部分においてアバラシブルブレークダウンし易くできる。

【0044】請求項9に記載の発明においては第1のベース領域を表面チャネル層から離間して形成することを特徴としている。

【0045】このように、第1のベース領域を表面チャネル層から離間させて形成すれば、より表面チャネル層への第1のドーパントの拡散を防止できる。

【0046】請求項10に記載の発明においては、第1のベース領域と表面チャネル層とが接するようにしており、表面チャネル層中に含まれる第1のドーパントの濃度が、表面チャネル層中における第1導電型不純物の濃度よりも低くなるようにすることを特徴としている。

【0047】第1のベース領域と表面チャネル層とが接するような場合においても、表面チャネル層中に含まれる第1のドーパントの濃度が、表面チャネル層中における第1導電型不純物の濃度よりも低くなるようにすれば、表面チャネル層の導電型が反転しないようにできる。

【0048】具体的には、請求項11に示すように、第1のドーパントとしてB(ボロン)を用い、第2のドーパントとしてA1(アルミニウム)を用いることができる。

【0049】請求項12に記載の発明においては、ベース領域は、第1のドーパントを含む第1のベース領域(3b)と、第1のドーパントよりも拡散係数の小さな第2のドーパントを含む第2のベース領域(3a)とを

有しており、第1のベース領域が表面チャネル層から離間した位置に形成されていることを特徴としている。

【0050】このように、第1のベース領域が表面チャネル層から離間した位置に形成されていることにより、第1ドーパントの拡散によるしきい値電圧の変動のない炭化珪素半導体装置とすることができる。

【0051】請求項13に記載の発明においては、ベース領域は、第1のドーパントを含む第1のベース領域と、第1のドーパントよりも拡散係数の小さな第2のドーパントを含む第2のベース領域とを有しており、第1のベース領域がソース領域の下部には形成されており、表面チャネル層の下部には形成されていないことを特徴としている。

【0052】このように、第1のベース領域がソース領域の下部に形成されていることによりサージ耐量を高くすることができ、表面チャネル層の下部に形成されていないことにより、第1ドーパントの拡散によるしきい値電圧の変動をなくすることができる。

【0053】請求項14に示すように、第1のベース領域が表面チャネル層から離間した位置に形成されてれば、よりしきい値電圧の変動をなくせる。

【0054】請求項15に記載の発明においては、第1のベース領域が第2のベース領域よりも接合深さが深くなっていることを特徴としている。

【0055】このように、第2のベース領域を深くすることによって、パンチスルーの発生を抑制することができる。

【0056】具体的には、請求項16に示すように、第1のドーパントはB（ボロン）であり、第2のドーパントはA1（アルミニウム）で構成できる。

【0057】

【発明の実施の形態】以下、本発明を図に示す実施形態について説明する。

【0058】（第1実施形態）図1に、本実施の形態におけるノーマリオフ型のnチャネルタイププレーナ型MOSFET（縦型パワーMOSFET）の断面図を示す。本デバイスは、インバータや車両用オルタネータのレクタファイヤに適用すると好適なものである。

【0059】図1に基づいて縦型パワーMOSFETの構造について説明する。但し、本実施形態における縦型パワーMOSFETは、上述した図11に示すMOSFETとはほぼ同様の構造を有しているため、異なる部分についてのみ説明する。なお、本実施形態における縦型パワーMOSFETのうち、図11に示すMOSFETと同様の部分については同様の符号を付してある。

【0060】図11に示すMOSFETでは、p型ベース領域3を1種類のドーパントを用いて形成していたが、本実施形態では2種類のドーパントを用いて形成している。

【0061】p型ベース領域3は、第1のドーパントと

してのA1がドーピングされて形成されたp⁻型の領域3aと、ドーパントとしてのBがドーピングされて形成されたp⁺型の領域3bから構成されている。領域3aは、表面チャネル層5と接しており、接合深さが浅くなっている。領域3bは、表面チャネル層5から離間して形成されており、接合深さが深くなっている。

【0062】つまり、p型ベース領域3のうち、接合深さの浅い領域3aを拡散係数が小さいA1で形成してBの表面チャネル層5への拡散を抑制できるようにすると共に、接合深さの深い領域3bをBで形成して飛程を長くし、ソース領域4の下部に活性化エネルギーの小さなA1と共にBを形成することが可能となる。

【0063】これにより、表面チャネル層5へのBの拡散によるしきい値電圧の変動、接合深さが浅くなることによるパンチスルー発生、及びサージ破壊の防止が図られている。

【0064】なお、p型ベース領域3の接合深さは、図11に示すMOSFETと同等となっている。

【0065】次に、図1に示す縦型パワーMOSFETの製造工程を、図2(a)～(d)に基づいて説明する。但し、上記した先の出願（特願平9-259076号）と同様の工程については図12～図14を参照して説明を省略する。なお、図2は、図1に示す縦型パワーMOSFETの断面図の左半分に該当する。

【0066】まず、図12(a)に示すように、半導体基板1の上にn⁻型エピ層2を形成したのち、p型ベース領域3を形成する。

【0067】〔図2(a)に示す工程〕まず、フォトリソ法を用いてn⁻型エピ層2の上の所定領域にLT膜21を成膜し、これをマスクとしてBをイオン注入する。このとき、Bの注入深さが、後工程で施される熱処理（B、A1、N等の不純物の活性化アニール）や表面チャネル層5を成長させる際における熱処理によって、Bが表面チャネル層5に拡散しない程度、若しくは拡散しても表面チャネル層5への拡散量が $1 \times 10^{15} \text{ cm}^{-3}$ 以下となるように制御する。具体的には、加速電圧を400keVと350keVとし、ドーズ量を $1 \times 10^{14} \text{ cm}^{-2}$ 程度としている。

【0068】その後、熱処理によってBを活性化させる。これにより、n⁻型エピ層2の表面よりも内側、つまり後工程で形成される表面チャネル層5から離間した位置に、Bが注入された領域3bが形成される。

【0069】このように、p型ベース領域3のうち、接合深さの深い部分を飛程の長いBで形成しているため、A1で形成する場合と比べて、接合深さを容易に深くすることができる。さらに、p型ベース領域3のうち、接合深さの深い部分をBで形成しているため、A1で形成する場合と比べて活性化エネルギーを小さくでき、活性化率を高くできる。このため、n⁺型ソース領域4とn⁻型エピ層2との間におけるピンチ抵抗を低くできる。

【0070】〔図2(b)に示す工程〕次に、もう一度、LTO膜21をマスクとしてA1をイオン注入する。このとき、A1が、先に注入したBの注入層の最上部から n^- 型エピ層2の最表面まで注入されるようにする。具体的には、加速電圧を400keV、250keV、150keV、30keVとし、ドーズ量を $1 \times 10^{14} \text{ cm}^{-2}$ としている。

【0071】その後、熱処理を施してA1を活性化させる。これにより、 n^- 型エピ層2の表面で終端するように、つまり後工程で形成される表面チャネル層5に接する位置に、A1が注入されて領域3aが形成される。

【0072】このように、p型ベース領域3のうち、接合深さの浅い部分を拡散係数が小さいA1で形成することにより、Bがドーピングされた領域3bが表面チャネル層5に直接的に接しないようにできる。このため、活性化アニール時における表面チャネル層5へのBの拡散を抑制することができる。

【0073】このように、図2(a)、(b)に示す工程において、p型ベース領域3のうち、接合深さの浅い部分を拡散係数が小さいA1で形成すると共に、接合深さの深い部分を深くまで注入し易くかつ拡散係数が大きいBで形成しているため、表面チャネル層5へのBの拡散を抑制できると共に、接合深さを深くし易くでき、後述する n^+ 型ソース領域4の下部に活性化エネルギーの小さなA1とB両方を形成することが可能となり、Bのみの場合に比べて活性化率を高くすることができる。

【0074】従って、表面チャネル層5へのBの拡散によるしきい値電圧の変動を防止できると共に、接合深さが浅くなることによるパンチスルーの発生を防止でき、さらに n^+ 型ソース領域4と n^- 型エピ層2との間におけるピンチ抵抗を小さくしてサージ耐量を高くすることができる。

【0075】なお、A1のイオン注入用マスクとBのイオン注入用マスクとして、同一のLTO膜21を用いることにより、マスクずれを見込んだ耐圧設計をする必要をなくすることができると共に、製造プロセスの簡略化を図ることができる。

【0076】〔図2(c)に示す工程〕LTO膜21を除去したのち、A1注入層の表面を含む n^- 型エピ層2の上に不純物濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 以下、膜厚が0.3 μm 以下の表面チャネル層5をエピタキシャル成長させる。

【0077】このとき、縦型パワーMOSFETをノーマリオフ型にするために、表面チャネル層5の厚み(膜厚)を、ゲート電極8に電圧を印加していない時におけるp型ベース領域3から表面チャネル層5に広がる空乏層の伸び量と、ゲート酸化膜7から表面チャネル層5に広がる空乏層の伸び量との和よりも小さくするようにしている。

【0078】具体的には、p型ベース領域3から表面チャネル層5に広がる空乏層の伸び量は、表面チャネル層5とp型ベース領域3とのPN接合のビルトイン電圧によって決定され、ゲート酸化膜7から表面チャネル層5に広がる空乏層の伸び量は、ゲート酸化膜7の電荷及びゲート電極8(金属)と表面チャネル層5(半導体)との仕事関数差によって決定されるため、これらに基づいて表面チャネル層5の膜厚を決定している。

【0079】このようなノーマリオフ型の縦型パワーMOSFETは、故障などによってゲート電極に電圧が印加できないような状態となっても、電流が流れないようにすることができるため、ノーマリオン型のものと比べて安全性を確保することができる。

【0080】また、図1に示すように、p型ベース領域3は、ソース電極10と接触して接地状態となっている。このため、表面チャネル層5とp型ベース領域3とのPN接合のビルトイン電圧を利用して表面チャネル層5をピンチオフすることができる。例えば、p型ベース領域3が接地されてなくてフローティング状態となっている場合には、ビルトイン電圧を利用してp型ベース領域3から空乏層を延ばすということができないため、p型ベース領域3をソース電極10と接触させることは、表面チャネル層5をピンチオフするのに有効な構造であるといえる。

【0081】なお、p型ベース領域3の不純物濃度を高くすることによりビルトイン電圧をより大きく利用することができる。

【0082】また、本実施形態では炭化珪素によって縦型パワーMOSFETを製造しているが、これをシリコンを用いて製造しようとする、p型ベース領域3や表面チャネル層5等の不純物層を形成する際における熱拡散の拡散量の制御が困難であるため、上記構成と同様のノーマリオフ型のMOSFETを製造することが困難となる。このため、本実施形態のようにSiCを用いることにより、シリコンを用いた場合と比べて精度良く縦型パワーMOSFETを製造することができる。

【0083】また、ノーマリオフ型の縦型パワーMOSFETにするためには、上記条件を満たすように表面チャネル層5の厚みを設定する必要があるが、シリコンを用いた場合にはビルトイン電圧が低いため、表面チャネル層5の厚みを薄くしたり不純物濃度を薄くして形成しなければならず、不純物イオンの拡散量の制御が困難なことを考慮すると、非常に製造が困難であるといえる。

しかしながら、SiCを用いた場合にはビルトイン電圧がシリコンの約3倍と高く、表面チャネル層5の厚みを厚くしたり不純物濃度を濃くして形成できるため、ノーマリオフ型の蓄積型MOSFETを製造することが容易であるといえる。

【0084】そして、引き続き、フォトレジスト法を用いて表面チャネル層5の上の所定領域にLTO膜21を配置し、これをマスクとしてN(窒素)等のn型不純物

をイオン注入し、 n^+ 型ソース領域4を形成する。このときのイオン注入条件は、 700°C 、ドーズ量は $1 \times 10^{15} \text{ cm}^{-2}$ としている。

【0085】〔図2 (d) に示す工程〕そして、LTO膜21を除去した後、フォトリソ法を用いて表面チャネル層5の上の所定領域にLTO膜22を配置し、これをマスクとしてp型不純物をイオン注入し、p型ベース領域3上の表面チャネル層5を部分的にp型半導体に反転させる。これにより、後工程で形成されるソース電極10とp型ベース領域3との電氣的接続が可能となる。

【0086】この後、先の出願と同様に、図14に示す工程を施し、ゲート酸化膜7を介してゲート電極8を形成し、さらにソース電極10やドレイン電極11をすることによって、図1に示す縦型パワーMOSFETが完成する。

【0087】次に、この縦型パワーMOSFETの作用(動作)を説明する。

【0088】本MOSFETはノーマリオフ型の蓄積モードで動作するものであって、ゲート電極8に電圧を印加しない場合は、表面チャネル層5においてキャリアは、p型ベース領域3と表面チャネル層5との間の静電ポテンシャルの差、及び表面チャネル層5とゲート電極8との間の仕事関数の差により生じた電位によって全域空乏化される。そして、ゲート電極8に電圧を印加することにより、表面チャネル層5とゲート電極8との間の仕事関数の差と外部からの印加電圧の和により生じる電位差を変化させる。このことにより、チャネルの状態を制御することができる。

【0089】つまり、ゲート電極8の仕事関数を第1の仕事関数とし、p型ベース領域3の仕事関数を第2の仕事関数とし、表面チャネル層5の仕事関数を第3の仕事関数としたとき、第1～第3の仕事関数の差を利用して、表面チャネル層5のn型のキャリアを空乏化する様に第1～第3の仕事関数と表面チャネル層5の不純物濃度及び膜厚を設定することができる。

【0090】また、オフ状態において、空乏領域は、p型ベース領域3及びゲート電極8により作られた電界によって、表面チャネル層5内に形成される。この状態からゲート電極8に対して正のバイアスを供給すると、ゲート絶縁膜(SiO_2)7と表面チャネル層5との間の界面において n^+ 型ソース領域4から n^- 型ドリフト領域2方向へ延びるチャネル領域が形成され、オン状態にスイッチングされる。このとき、電子は、 n^+ 型ソース領域4から表面チャネル層5を経由し表面チャネル層5から n^- 型エピ層2に流れる。そして、 n^- 型エピ層2(ドリフト領域)に達すると、電子は、 n^+ 型半導体基板1(n^+ ドレイン)へ垂直に流れる。

【0091】このようにゲート電極8に正の電圧を印加することにより、表面チャネル層5に蓄積型チャネルを

誘起させ、ソース電極10とドレイン電極11との間にキャリアが流れる。

【0092】(第2実施形態)第1実施形態では、p型ベース領域3のうち接合深さが浅い部分となる領域3aを形成したのちに、表面チャネル層5を形成しているが、本実施形態では、表面チャネル層5を形成した後に領域3aを形成する場合を示す。図3(a)～(d)に基づいて本実施形態における製造工程を説明する。なお、この図は第1実施形態における図2に示される製造工程に代わる部分を示している。

【0093】〔図3(a)に示す工程〕まず、図2(a)に示す工程と同様の工程を行い、LTO膜21をマスクとしたイオン注入にてp型ベース領域3のうち接合深さが深い部分にBが注入された領域3bを形成する。

【0094】〔図3(b)に示す工程〕次に、LTO膜21を除去したのち、 n^- 型エピ層2の上に不純物濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 以下、膜厚が $0.3 \mu\text{m}$ 以下の表面チャネル層5をエピタキシャル成長させる。

【0095】その後、フォトリソ法を用いて表面チャネル層5の上の所定領域にLTO膜24を配置し、これをマスクとしてN(窒素)等のn型不純物をイオン注入し、 n^+ 型ソース領域4を形成する。なお、このときのイオン注入条件は、第1実施形態と同様としている。

【0096】〔図3(c)に示す工程〕引き続き、フォトリソ法を用いて表面チャネル層5の上の所定領域にLTO膜25を配置したのち、これをマスクとしてA1をイオン注入して領域3aを形成する。これにより、p型ベース領域3のうち接合深さが浅い部分が形成される。なお、このときのイオン注入条件は、第1実施形態と同様としている。

【0097】〔図3(d)に示す工程〕そして、LTO膜25を除去した後、フォトリソ法を用いて表面チャネル層5の上の所定領域にLTO膜26を配置し、これをマスクとしてp型不純物をイオン注入し、p型ベース領域3上の表面チャネル層5を部分的にp型半導体に反転させる。これにより、後工程で形成されるソース電極10とp型ベース領域3との電氣的接続が可能となる。

【0098】この後、図14に示す工程を施せば、本実施形態における縦型パワーMOSFETが完成する。このように、表面チャネル層5を形成した後に領域3aを形成してもよい。

【0099】(第3実施形態)本実施形態は第1実施形態におけるp型ベース領域3の構造を変更したものである。従って、MOSFETの主な構造は第1実施形態と同様であるため、第1実施形態と異なる部分のみ説明する。

【0100】図4に本実施形態におけるMOSFETの断面図を示す。p型ベース領域3は、A1をドーパント

として形成した領域3a、Bをドーパントとして形成した領域3b、及びソース電極10とのコンタクト用の領域3cを有している。

【0101】領域3aは、表面チャネル層5の下部を含んだ所定領域に形成されている。領域3bは、表面チャネル層5の下部を含まないように形成されており、領域3aよりも接合深さが深くなっている。つまり、領域3bが形成された部分だけ部分的に接合深さが深くなっており、この部分においてp型ベース領域3と半導体基板1との距離が短くなっている。

【0102】従って、この領域3bがディープベース層として働き、この部分における電界強度を高くでき、アバランシェブレークダウンし易くなるようにできる。

【0103】なお、図では示されていないが領域3bは領域3aと部分的にオーバーラップしており、領域3Bが単独で形成されている場合よりも活性化率を向上させている。

【0104】次に、このように構成されたMOSFETの製造工程について図5、図6を基に説明する。但し、ここでは第1実施形態と異なる部分についてのみ説明する。

【0105】〔図5(a)に示す工程〕 n^- 型エピ層2の上にLTO膜31を配置したのち、LTO膜31の所定領域を開口させる。そして、LTO膜31をマスクとしてBをイオン注入して領域3bを形成する。このときのイオン注入の条件は第1実施形態と同様としている。

【0106】このとき、基板表面から見て、LTO膜31の開口部分が後工程で形成される表面チャネル層5とオーバーラップしないようにすると共に、 n^+ 型ソース領域4とオーバーラップするようにしている。これにより、表面チャネル層5の下部にはBが注入されず、 n^+ 型ソース領域4の下部にはBが注入されるようにしている。

【0107】〔図5(b)に示す工程〕活性化アニールを行い、注入されたBイオンを活性化する。このとき、表面チャネル層5の下部にはBが注入された領域3bが形成されないようになっているため、Bの表面チャネル層5への拡散を防止することができる。これにより、しきい値電圧の変動を防止することができる。

【0108】また、 n^+ 型ソース領域4の下部にはBが注入されるようにしているため、 n^+ 型ソース領域4と n^- 型エピ層2との間におけるピンチ抵抗を小さくできる。これにより、サージ耐量を高くすることができる。

【0109】なお、このように、表面チャネル層5の下部に領域3bが形成されないようにすれば表面チャネル層5へのBの拡散を防止できるため、領域3bと n^- 型エピ層2の表面との間隔が短くなっているもよいが、領域3bを表面チャネル層5から離間して形成することでより効率的に上記拡散を防止できる。

【0110】〔図5(c)に示す工程〕 n^- 型エピ層2

の上にLTO膜32を配置すると共に、LTO膜32の所定領域を開口させたのち、LTO膜32をマスクとしてA1をイオン注入する。このとき、 n^- 型エピ層2の上面から見たときに、LTO膜32の開口部分が深い領域3bを含む大きさとなるようにして、後工程で形成する表面チャネル層5の下方にもイオンが注入されるようにする。

【0111】なお、このときのイオン注入の条件は第1実施形態と同様としている。

【0112】これにより、A1が注入された領域3aが形成される。この領域3aがp型ベース領域3のうち接合深さが浅い部分を構成している。領域3aは、 n^- 型エピ層2の上面から見たときに、領域3bよりも広い範囲で形成される。

【0113】〔図5(d)に示す工程〕LTO膜32を除去したのち、 n^- 型エピ層2の上に不純物濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 以下、膜厚が $0.3 \mu\text{m}$ 以下の表面チャネル層5をエピタキシャル成長させる。

【0114】〔図6(a)に示す工程〕フォトレジスト法を用いて表面チャネル層5の上の所定領域にLTO膜33を配置し、これをマスクとしてN(窒素)等のn型不純物をイオン注入し、 n^+ 型ソース領域4を形成する。このときのイオン注入条件は、第1実施形態と同様としている。

【0115】〔図6(b)に示す工程〕そして、LTO膜33を除去した後、フォトレジスト法を用いて表面チャネル層5の上の所定領域にLTO膜34を配置し、これをマスクとしてp型不純物をイオン注入し、p型ベース領域3上の表面チャネル層5を部分的にp型半導体に反転させる。これにより、後工程で形成されるソース電極10とp型ベース領域3との電気的接続が可能となる。

【0116】この後、図14に示す工程を施せば、本実施形態における縦型パワーMOSFETが完成する。

【0117】このように、Bをドーパントとする領域3bが表面チャネル層5の下部には形成されないようにすることでしきい値電圧の変動が防止できると共に、領域3aと領域3bが n^+ 型ソース領域と n^- 型エピ層2との間に形成されるようにすることでピンチ抵抗を小さくしてサージ耐量を高くすることができる。

【0118】(第4実施形態)本実施形態は第1実施形態におけるp型ベース領域3の構造を変更したものである。従って、MOSFETの主な構造は第1実施形態と同様であるため、第1実施形態と異なる部分のみ説明する。

【0119】図7に本実施形態におけるMOSFETの断面図を示す。p型ベース領域3は、A1をドーパントとして形成した領域3a、Bをドーパントとして形成した領域3b、及びソース電極10とのコンタクト用の領域3cを有している。

【0120】領域3aは、エピタキシャル成長等によって、表面チャネル層5の下部を含んだ所定領域に形成されている。領域3bは、表面チャネル層5の下部を含まないようにイオン注入によって形成されており、領域3aよりも接合深さが深くなっている。つまり、領域3bが形成された部分だけ部分的に接合深さが深くなっており、この部分においてp型ベース領域3と半導体基板1との距離が短くなっている。従って、この領域3bがディープベース層として働く。

【0121】次に、このような構造を有するMOSFETの製造工程について図8～図10を基に説明する。但し、第1実施形態と製造工程の異なる部分についてのみ説明する。

【0122】〔図8(a)に示す工程〕n⁻型エピ層2の上に、A1をドーピングしたp⁻型層40をエピタキシャル成長させる。このp⁻型層40が領域3aを構成する。このように、イオン注入によらずにエピタキシャル成長によってA1をドーパントとする領域3aを形成することによって、A1をドーパントとして用いた場合においてもp型ベース領域3の厚さを厚く、つまり、実質的に接合深さを深くすることができる。

【0123】〔図8(b)に示す工程〕フォトリソ法を用いてp⁻型層40の上の所定領域にLTO膜41を配置し、これをマスクとしてエッチングを行う。これにより、p⁻型層40を貫通しn⁻型エピ層2まで達する溝42が形成される。

【0124】〔図8(c)に示す工程〕次に、溝42の内を含むp⁻型層40の上面全面にn⁻型層43をエピタキシャル成長させる。これにより、溝42の内がn⁻型層43で埋まる。

【0125】〔図8(d)に示す工程〕p⁻型層40が露出するまで表面研磨を行い、基板表面を平坦化する。これにより、n⁻型エピ層2と共にドリフト領域として働くn⁻型エピ層2aが形成される。

【0126】〔図9(a)に示す工程〕n⁻型エピ層2の上にLTO膜44を配置したのち、LTO膜44の所定領域を開口させ、これをマスクとしてBをイオン注入する。このときのイオン注入の条件は第1実施形態と同様としている。

【0127】このとき、基板表面から見て、LTO膜42の開口部分が後工程で形成される表面チャネル層5とオーバーラップしないようにして、表面チャネル層5の下部にはBが注入されないようにしている。

【0128】〔図9(b)に示す工程〕活性化アニールを行い、領域3bにおけるBイオンを活性化する。これにより、領域3bの接合深さが深くなる。このとき、表面チャネル層5の下部にはBが注入されないようにしているため、領域3bに注入されたBが拡散しても、表面チャネル層5への拡散を防止することができる。これにより、しきい値電圧の変動を防止することができる。

【0129】また、第3実施形態と同様に、領域3bの接合深さをより大きくでき、ディープベース層として働くようにできる。

【0130】〔図9(c)に示す工程〕LTO膜44を除去したのち、n⁻型エピ層2の上に不純物濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 以下、膜厚が0.3 μm 以下の表面チャネル層5をエピタキシャル成長させる。このエピタキシャル成長における熱処理においても、表面チャネル層5の下部にはBが注入されないようにしていることから、表面チャネル層5へのBの拡散を防止することができる。

【0131】〔図10(a)に示す工程〕フォトリソ法を用いて表面チャネル層5の上の所定領域にLTO膜45を配置し、これをマスクとしてN(窒素)等のn型不純物をイオン注入して、n⁺型ソース領域4を形成する。このときのイオン注入条件は、第1実施形態と同様である。

【0132】〔図10(b)に示す工程〕そして、LTO膜45を除去した後、フォトリソ法を用いて表面チャネル層5の上の所定領域にLTO膜46を配置し、これをマスクとしてp型不純物をイオン注入し、p型ベース領域3上の表面チャネル層5を部分的にp型半導体に反転させる。これにより、後工程で形成されるソース電極10とp型ベース領域3との電氣的接続が可能となる。

【0133】この後、図14に示す工程を施せば、本実施形態における縦型パワーMOSFETが完成する。

【0134】このように、A1をドーパントとする領域3aをイオン注入ではないエピタキシャル成長等によって形成した場合、容易にp型ベース領域3の実質的な接合深さを深くすることができる。これにより、第3実施形態と同様の効果が得られるだけでなく、A1をドーパントとして用いても容易にパンチスルーの発生を防止することができる。

【0135】(第5実施形態)本実施形態は第4実施形態におけるn⁻型エピ層2aの製造工程を変更したものである。従って、第4実施形態と異なる部分についてのみ説明する。

【0136】〔図11(a)に示す工程〕第4実施形態における図8(a)に示す工程と同様の工程を施し、領域3aを構成するp⁻型層40をエピタキシャル成長させる。

【0137】〔図11(b)に示す工程〕次に、LTO膜51を成膜し、フォトエッチングによりパターニングを行ない、これをマスクとしてN、P等のn型不純物をイオン注入し、n型イオン注入層51を形成する。

【0138】〔図11(c)に示す工程〕続いて、イオン注入の際にマスクとして用いたLTO膜51を除去し、1400～1500℃の高温で注入された不純物の活性化熱処理を行ない、n型イオンが注入された部分においてp型ベース領域3の導電型を反転させ、n⁻型層

2bを形成する。

【0139】この後は、第4実施形態と同様に図9(a)～(c)に示す工程、図10(a)、(b)に示す工程を経て、第4実施形態と同様の構成を有するMOSFETが完成する。

【0140】このように、イオン注入によってn⁻型層2bを形成しているため、第4実施形態で必要とされていた溝42を形成する工程、n⁻型層43をエピタキシャル成長させる工程、n⁻型層43を平坦化させる工程等の数多くの高度な技術が必要とされる工程を省略することができる。これにより、デバイス形成を簡略化することができる。

【図面の簡単な説明】

【図1】第1実施形態におけるプレーナ型パワーMOSFETを示す断面図である。

【図2】図1に示すプレーナ型パワーMOSFETの製造工程を示す図である。

【図3】第2実施形態におけるプレーナ型パワーMOSFETの製造工程を示す図である。

【図4】第3実施形態におけるプレーナ型パワーMOSFETを示す断面図である。

【図5】図4に示すプレーナ型パワーMOSFETの製造工程を示す図である。

【図6】図5に続くプレーナ型パワーMOSFETの製造工程を示す図である。

【図7】第4実施形態におけるプレーナ型パワーMOS

FETの製造工程を示す図である。

【図8】図7に示すプレーナ型パワーMOSFETの製造工程を示す図である。

【図9】図8に続くプレーナ型パワーMOSFETの製造工程を示す図である。

【図10】図9に続くプレーナ型パワーMOSFETの製造工程を示す図である。

【図11】第5実施形態におけるプレーナ型パワーMOSFETの製造工程を示す図である。

【図12】本発明者らが先に出願したプレーナ型パワーMOSFETを示す断面図である。

【図13】図12に示すプレーナ型パワーMOSFETの製造工程を示す図である。

【図14】図13に続くプレーナ型パワーMOSFETの製造工程を示す図である。

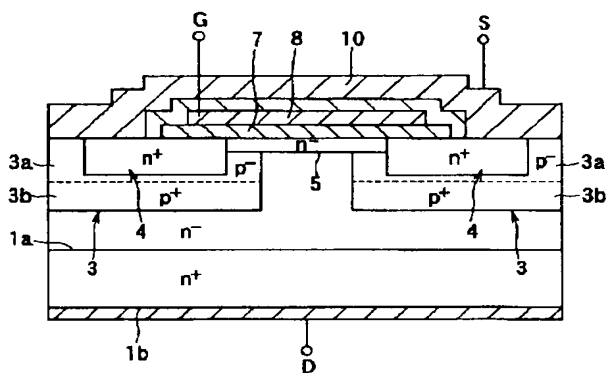
【図15】図14に続くプレーナ型パワーMOSFETの製造工程を示す図である。

【図16】B（ボロン）の拡散深さと不純物濃度のプロファイルを示す図である。

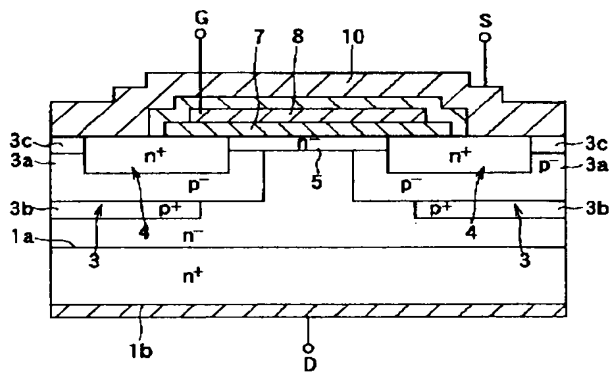
【符号の説明】

1…n⁺型の半導体基板、2…n⁻型エピ層、3…p型ベース領域、3a…Alが注入された領域、3b…Bが注入された領域、4…n⁺型ソース領域、5…表面チャネル層、7…ゲート絶縁膜、8…ゲート電極、9…絶縁膜、10…ソース電極、11…ドレイン電極。

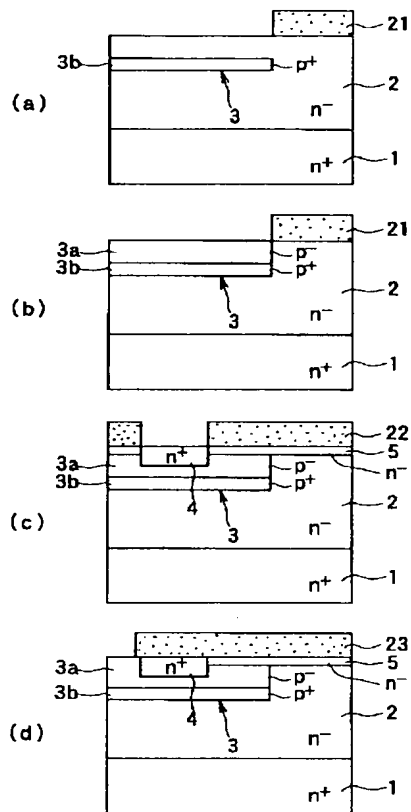
【図1】



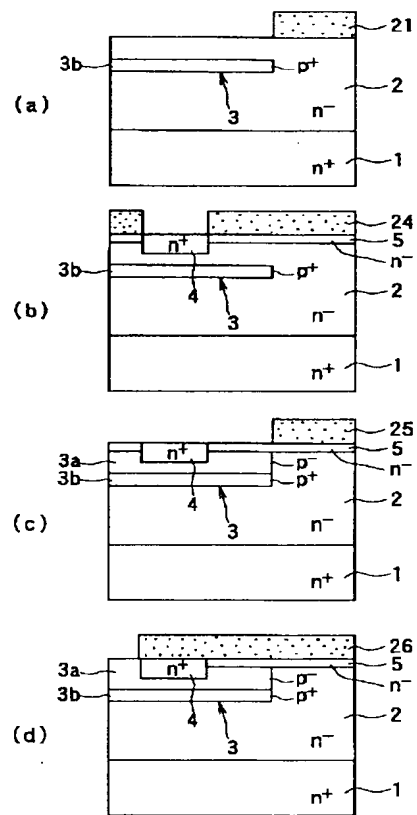
【図4】



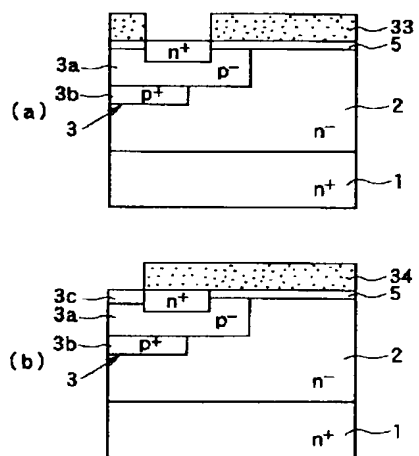
【図2】



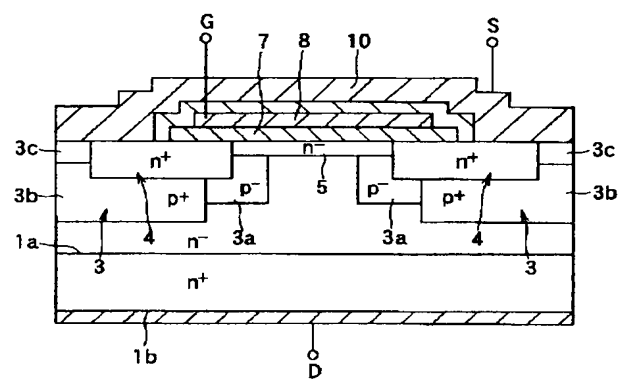
【図3】



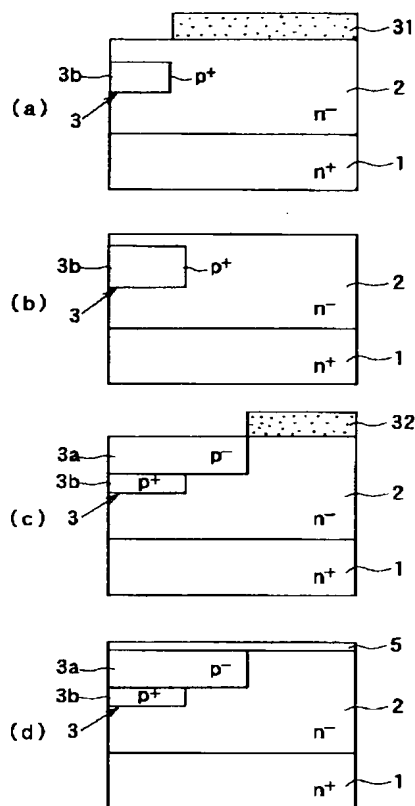
【図6】



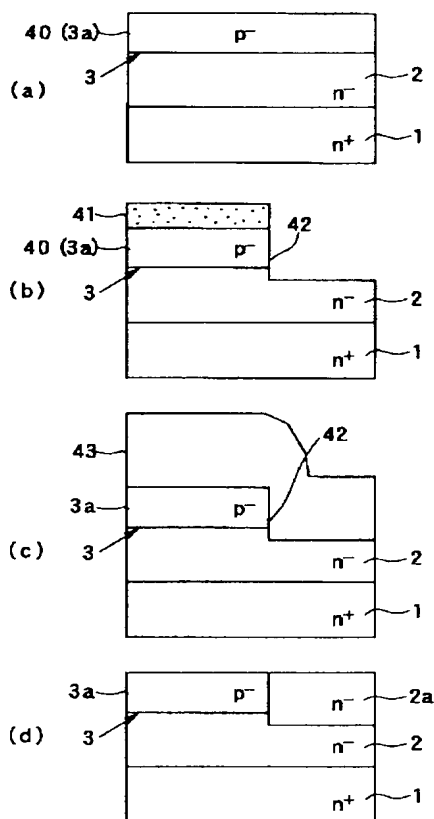
【図7】



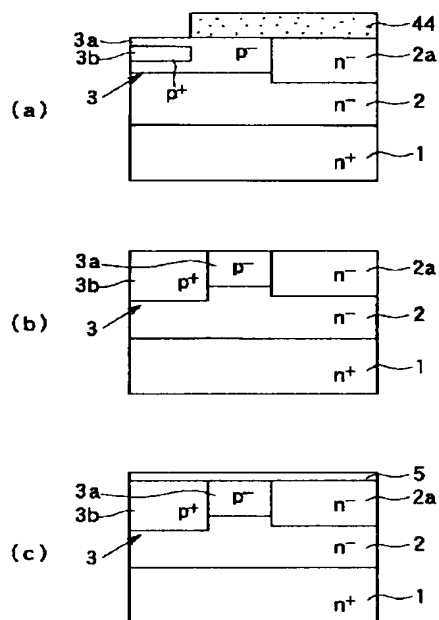
【図5】



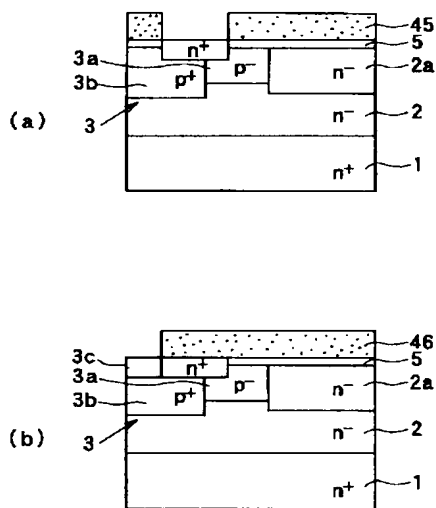
【図8】



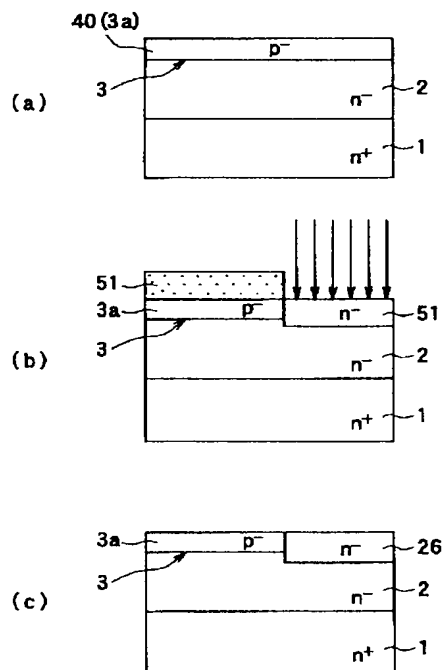
【図9】



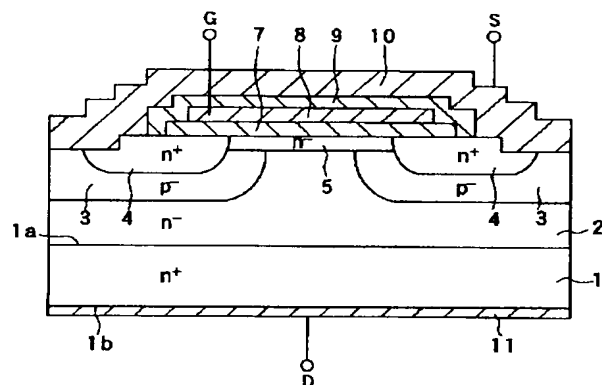
【図10】



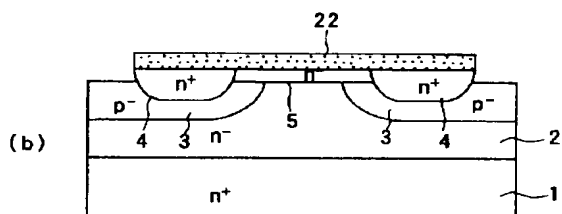
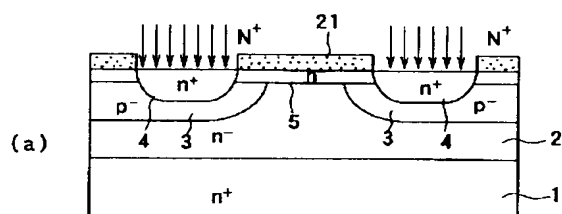
【図11】



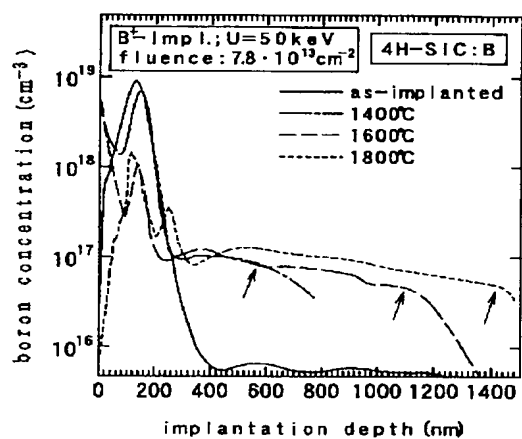
【図12】



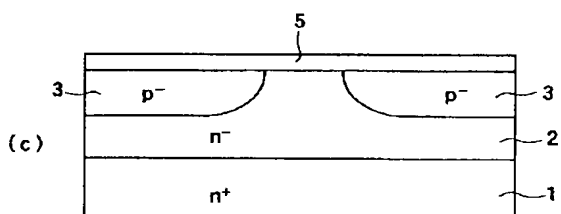
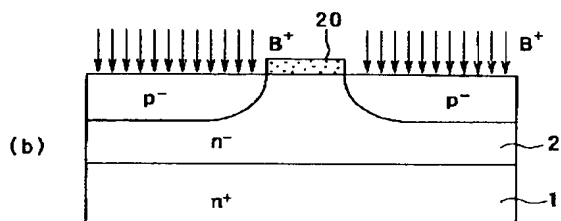
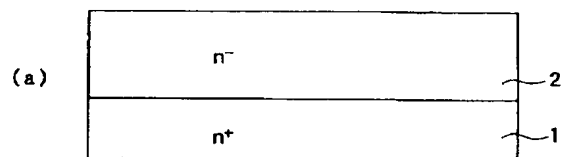
【図14】



【図16】



【図13】



【図15】

